

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
G02F 1/1343  
G02F 1/136

(11) 공개번호  
(43) 공개일자

특1999-0067999  
1999년08월25일

(21) 출원번호	10-1999-0001546
(22) 출원일자	1999년01월19일
(30) 우선권주장	1998-7234 1998년01월19일 일본(JP)
(71) 출원인	가부시키가이샤 히다치 세미사쿠소, 가나이 쓰도무 일본 000-000 일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자	니시무라에즈코 일본 일본국이바라키정하타치오모타시덴진바야시조1225-11 카와치겐시로오 일본 일본국이바라키정하타치시모리야마포3-17-2-705 오니사와켄이치 일본 일본국이바라키정하타치나카시소토노2-8-18 차하라겐이치 일본 일본국이바라키정하타치시미즈키토2-20-1 사토타케시 일본 일본국이바라키정하타치시야유카와포6-20-3 타무라카프미 일본 일본국이바라키정하타치시미나미코야포3-12-22
(74) 대리인	신종훈 영국순
(77) 심사청구	없음
(54) 출원명	액정표시장치

## 요약

본 발명은 액정표시장치에 있어서의 배선층, Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층과, Nb 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층과의 적층막으로 구성하는 것을 특징으로 한 것이고, 내열산화성에 뛰어난 배선구조를 가진 액정표시장치가 개시된다.

## 대표도

도1

## 영세서

## 도면의 간단한 설명

도 1은 코프레이너형 TFT를 사용해서 구성된 본 발명의 실시예에 관한 액정표시장치의 단면도이고, 도 2에 표시한 x-x'에 의해 표시한 선에 따른 단면도

도 2는 코프레이너형 TFT를 사용해서 구성된 본 발명의 실시예에 관한 액정표시장치의 단위화소의 평면도

도 3은 코프레이너형 TFT를 사용해서 구성된 본 발명의 실시예에 관한 액정표시장치의 단면도이고, 도 2에 표시한 y-y'에 의해 표시한 선에 따른 단면도

도 4는 도 2에 표시한 게이트전극배선의 공통마디의 단면도

도 5는 CMOS인버터를 사용해서 구성된 구동회로를 표시부와 함께 동일기판상에 집적한 본 발명의 실시예의 액티브 매트릭스형 액정표시장치

## 전체의 등가화로도

도 6은 본 발명의 실시예에 관한 CMOS인버터회로의 구성도

도 7은 도 6에 표시한 인버터회로의 패턴배치도

도 8은 도 7에 표시한 x-x'에 의해 표시한 선을 따른 단면도

도 9는 도 7에 표시한 y-y'에 의해 표시한 선을 따른 단면도

도 10은 액스타이형 TFT를 사용해서 구성된 본 발명의 실시예의 액티브 매트릭스형 액정 표시 장치의 단위 화소의 평면도

도 11은 도 10에 표시한 x-x'에 의해 표시한 선을 따른 단면도

도 12는 도 10에 표시한 y-y'에 의해 표시한 선을 따른 단면도

도 13은 본 발명의 실시예에 관한 액티브 매트릭스형의 액정 표시 장치의 단면모식도

도 14는 코프레이너형 TFT를 사용해서 구성된 본 발명의 비교예의 액티브 매트릭스형 액정 표시 장치의 단위 화소의 평면도

도 15는 도 14에 표시한 x-x'에 의해 표시한 선을 따른 단면도

도 16은 도 14에 표시한 y-y'에 의해 표시한 선을 따른 단면도

도 17은 도 14에 표시한 z-z'에 의해 표시한 선을 따른 단면도

도 18은 도 14에 표시한 본 발명의 비교예의 게이트 전극 배선의 형성 공정 마다의 단면도

도 19는 열처리 온도를 바꾸어서 열처리했을 때의 Nb막의 저항 변화를 표시한 도면

도 20은 표면 플라즈마 질화 처리를 가한 Nb막을 열처리했을 때의 저항 변화를 표시한 도면

도 21은 N<sub>2</sub>를 가함으로 바꾸어 형성한 질화 Nb막(NbN계)의 저항 특성을 표시한 도면도 22는 도 21에 표시한 N<sub>2</sub>를 가함으로 바꾸어 형성한 Nb의 질화막(NbN계)의 X선 회절 스펙트럼을 표시한 도면

도 23은 열처리 온도를 바꾸어 열처리했을 때의 Nb계/NbN계 적층막의 저항 변화를 표시한 도면

도 24는, S<sub>F6</sub>를 사용해서 에칭했을 때의 Nb, NbN, SiO<sub>2</sub>, SiN, 및 레지스터막의 에칭 시간과 에칭 막 두께와의 관계를 플로트한 도면도 25는 CH<sub>4</sub>를 사용해서 에칭했을 때의 Nb, NbN 및 SiO<sub>2</sub>막의 에칭 시간과 에칭 막 두께와의 관계를 플로트한 도면

도 26은 Nb계/NbN계 적층막의 배선 패턴 단부의 단면모식도

도 27은 Nb계/NbN계 적층막과 Cr, 또는 CrMo와의 스퍼우 호환 문제점 저항을 표시한 도면

도 28은 NbN계/Nb계/NbN계 적층막의 배선의 단면도

도 29는 NbN계/Nb계/NbN계 적층막의 배선의 단면도

&lt;도면의 주요 부분에 대한 부호의 설명&gt;

50: 액티브 매트릭스 51: 수직 주사 회로

52: 스위치 매트릭스 회로 53: 수평 주사 회로

101: TFT102: 화소 표시 영역

103: 유리기판 104: 발배향막

105: TFT의 채널 영역 106: 게이트 절연막

107: Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층

108: Nb의 질화물 및 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층

109: 드레인-소스 영역에 불순물을 도우핑한 활성층

110, 1501: 층간 절연막 111: 드레인 전극

112: 소스 전극 113: 화소 전극

114: 보호 절연막 201: 게이트 전극

202: 게이트 전극 배선 203: 드레인 전극 배선

401: 진성 다결정 Si막으로 이루어진 선평턴

701: PMOS 702: NMOS

703, 704: TFT의 게이트 전극 705: 제 1 배선 전극

706: 제 2 배선 전극 1001: 부가층

1101: SiO<sub>2</sub>막으로 이루어진 제 1 게이트 절연막

1102: SiN막으로 이루어진 제 2 게이트 절연막

1302: 액정층 1304: 컬러 필터

1305: 대향 유리기판 1306: 대향 전극

1307: 컬러 필터 보호막 1308: 차광막

1401: 불순물을 도우핑한 다결정 Si막으로 이루어진 제 1 게이트 전극

1801: 비결정성 Si막TH: 스퍼우

SL: 시일재 SL: 은페이스트재

OR11, OR2: 배향막 BL: 백라이트 BL

## 발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치에 관하여, 특히 그 전극배선구조에 관계한다.

본 발명은, 액정표시장치의 배선재료로서, 일본국 특허명 03-182723호 공보에서는, 게이트배선으로서, 고농도의 불순물을 가진 Poly-Si막과 Al (알루미늄)막을 적층하는 취지가 기재되어 있다.

또, 액정표시장치의 배선재료로서, 일본국 특허명 5-55575호 공보에서는, 저저항치와 내약품성을 가진 Ta(탄탈)와 Nb의 합금, Nb 또는 Nb를 주성분으로 하는 금속재료를 사용하는 취지가 기재되어 있다.

또, 일본국 특허명 2-106723호 공보에서는 게이트선의 배선재료로서 기판측으로부터 Nb, Ta순으로 적층한 것을 사용하고, 양극산화에 의해 그 표면을 산화하고, 도 SiO<sub>2</sub>(산화실리콘) 또는 SiN(질화실리콘)으로 이루어진 게이트절연막을 적층한 TFT에 대해서 제안하고 있다. 이에 의하면 Ta단층막을 사용한 경우에 비해서 저항치의 저항이 도도되고, 또한 게이트선과 드레인선간의 단락방지가 유효하다는 취지가 기재되어 있다.

또, 일본국 특허명 7-147852호 공보에서는 게이트-드레인전극의 전부 또는 적어도 안쪽에 Nb를 사용하는 것을 제안하고 있고, 이에 의하면 합금이나 다른 금속재료로 이루어진 2층막을 사용하는 일이 없기 때문에, 시스템화율이 향상하고, 저저항이고 저음력, 또한 드라잉에참가하여 용이한 전극구조를 실현할 수 있는 취지가 기재되어 있다.

## 발명이 이루고자 하는 기술적 과제

종래의 액정표시장치의 배선, 특히 Si를 사용한 게이트전극에서는 Si막의 용점(660.4℃)이 낮기 때문에 증착-절연막형성의 열처리에 의해 합금이나 위스커가 발생하는 동시에, Si의 내열산화성의 낮음으로부터 배선의 저항의 상승에 의한 구동회로의 남(劣)이나, 배선간 쇼트가 발생하고 있었다.

또, 통상 Si배선은 웨트에칭법에 의해 Si막을 패터닝하기 때문에, 단부형상을 제어하는 것은 곤란하고, 증착절연막(110)이나 드레인전극배선(203)의 주위 불량이 발생하기 쉽고, 배선간 쇼트나 드레인단선불량의 원인이 된다.

본 발명의 목적은 내열산화에 뛰어난 배선구조를 적용한 액정표시장치를 제공하는 데 있다.

## 발명의 구성 및 작용

본 발명의 특징의 하나는 금속배선을 가진 액정표시장치에 있어서, 그 금속배선을 Nb 혹은 Nb를 주성분으로 하는 합금으로 구성되는 제 1층과 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성하는 것이다. 이 구성으로 함으로써, 게이트배선의 내열산화성을 향상시킬 수 있다. 또, 금속배선의 저항이 문제가 되지 않는 경우에는, 금속배선층, Nb 혹은 Nb를 주성분으로 하는 합금으로 이루어진 제 1층을 생략해서 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물 단층으로 구성해도, 마찬가지로 내열산화성을 향상시킬 수 있다.

또, 제 1층 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 제 3층을 형성하면, 제 1층과 다른 부재와의 직접의 접촉을 피할 수 있다. Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물은, 특히 절연막과의 상성(相性)이 좋기 때문에, 제 1층의 저항상승 단선 등을 방지할 수 있다. 이들 배선성에 산화실리콘막을 형성해도 배선이 열산화되지 않으므로, 보다 높은 효과를 얻을 수 있다. 또, 제 1층과 제 2층, 바람직하게는 제 3층을 동일 패턴으로 일괄에칭하면 프로세스스텝수를 감소시킬 수 있다. 배선의 단부를 순(順) 테이퍼형상으로 형성할 수도 있다.

다른 구성으로서, 1층의 기판과, 상기 1층의 기판에 개유유지된 액정층을 가지고, 이 1층의 기판에는 복수의 게이트전극배선과, 이들 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선과, 이들 배선의 교차점에 형성된 복수의 박막트랜지스터와, 이들 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서, 복수의 게이트전극배선, 드레인전극배선 및 소스전극 및 공통전극, 공통전극배선을 가진 경우에는, 공통전극, 공통전극배선층의 적어도 1개가 Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층과 Nb 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층을 가진 적층막으로 구성되도록해도 마찬가지로 내열산화에 향상된다. 게이트전극배선에 사용하면 특히 효과가 있다. 배선저항이 문제가 되지 않는 경우에는, Nb 혹은 Nb를 주성분으로 하는 합금으로 이루어진 제 1층을 생략해서, 이들 전극 또는 전극배선을 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층만으로 구성해도, 마찬가지로 내열산화성을 향상시킬 수 있다.

이들 구성에 대해서도, 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 제 3층을 형성하는 것이 바람직하다.

제 1층과 제 2층을 가진 적층막으로 구성된 배선위에 산화실리콘막으로 구성된 절연층을 형성하면, 더욱 효과가 명확해진다.

또, 본 발명의 전극구조를 게이트전극배선에 사용하는 경우에는, 산화실리콘막을 박막트랜지스터의 게이트절연막의 적어도 일부가 되도록 형성하는 것이 바람직하다.

먼저, 본 명세서중에서 사용하는 주된 부호의 설명을 한다. (50)은 액티브매트릭스, (51)은 수직주사회로, (52)는 스위치매트릭스회로, (53)은 수평주사회로, (101)은 TFT, (102)는 화소표시영역, (103)은 유리기판, (104)는 밑바닥(下地)막, (105)는 TFT의 채널영역, (106)은 게이트절연막, (107)은 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층, (108)은 Nb의 질화물 및 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층, (109)는 드레인-소스영역에 불순물을 도핑한 활성층, (110), (1501)은 증착절연막, (111)은 드레인전극, (112)는 소스전극, (113)은 화소전극, (114)는 보조화소전극, (201)은 게이트전극, (202)는 게이트전극배선, (203)은 드레인전극배선, (401)은 전선다결정 Si막으로 이루어진 선폴터, (701)은 PMS, (702)는 NMOS, (703), (704)는 TFT의 게이트전극, (705)는 제 1배선전극, (706)은 제 2배선전극, (1001)은 부가층, (1101)은 SiO<sub>2</sub>막으로 이루어진 제 1게이트절연막, (1102)는 SiN막으로 이루어진 제 2게이트절연막, (1302)는 적층층, (1304)는 컬러필터, (1305)는 대향유리기판, (1306)은 대향전극, (1307)은 컬러필터보호막, (1308)은 차광막, (1401)은 불순물을 도핑한

다결정 Si막으로 이루어진 제 1게이트전극(1801)은 비결정성 Si막, TH는 스퍼우호출TH, SL은 시일재, SIL은 은밀이스트재, ORI1, ORI2는 배향막, BL은 백라이트 BL을 각각 표시한다.

도 14a, 코프레이너층 TFT를 사용하여 각각의 전층 비교예의 액정표시장치의 단위화소의 광면도를 표시한다. 도 15, 도 16, 도 17은 각각, 도 14중  $x-x'$ ,  $y-y'$ ,  $z-z'$ 에 의해 표시한 선을 따른 단면도이다.

액정표시장치는 일반방막(104)부착의 유리기판(103)상에 형성한 게이트전극배선(202)과, 이에 교차하도록 형성된 드레인전극배선(203)과, 이들 전극배선의 교차부에 대응하여 교차부부에 형성된 TFT(101)와, 화소표시영역(102)으로 구성된다.

도 15에 표시한 바와 같이, TFT(101)는 전성다결정 Si막으로 이루어진 채널영역(105)과, 채널영역(105)상에 형성된 게이트절연막(106)과, 게이트절연막(106)상에 형성된 불순물을 도우핑한 다결정Si막으로 이루어진 제 1게이트전극(1401)과, A(알루미늄)으로 이루어진 제 2게이트전극(201)과, 상기 전성다결정 Si막으로 이루어진 채널영역(105)의 드레인 소스영역에 불순물을 도우핑한 활성층(109)에, 스퍼우호출을 개재해서 접속된 드레인전극(111)과 소스전극(112)에 의해 구성된다. 상기 TFT의 소스전극(112)에는, 화소전극(113)이 접속되어 있다. (1501), (110)은 충전절연막, (114)는 보호절연막이다.

TFT(101)의 게이트전극에 착안하여, 도 16에 표시한 바와 같이, 다결정 Si로 이루어진 제 1게이트전극(1401)과 Si로 이루어진 제 2게이트전극(201)이, 충전절연막(1501)에 개구한 스퍼우호출 TH를 개재해서 접속된 2층게이트전극구조인 것을 알 수 있다.

도 2층전극구조중의 Si로 이루어진 제 2게이트전극(201)을 연장한 부분이 그대로 게이트전극배선(202)이 된다. 도 17에 표시한 바와 같이, Si로 이루어진 게이트전극배선(202)과 드레인전극배선(203)은, 충전절연막(110)을 사이에 두고 교차부분을 형성하는 구조로 되어 있다.

도 18은, 도 14~도 17에 표시한 비교예에 있어서, 게이트전극배선형성공정을 각 공정마다 표시한 단면도이다. 이 단면도를 사용해서 본 발명의 공제를 더욱 상세히 설명한다.

먼저, 도 18(a)와 같이 일반방막(104)부착의 유리기판(103)위에 전성다결정 Si막으로 이루어진 선폴면(401)을 형성한다. 통상, CVD법등으로 형성한 비결정성 Si막을 열아닐, 레이저아닐 등의 수법으로 다결정화해서 형성한다.

여기서, 도 18(b)과 같이 기판전면에 게이트절연막(106), 및 후술하는 공정으로 다결정화후에 제 1게이트전극(1401)이 되는 비결정성 Si막(1801)을 형성한다. 게이트절연막(106)에는 통상 CVD법에 의해 형성한 SiO<sub>2</sub>막, SiN막 등이 사용된다.

다음에, 도 18(c)와 같이, 게이트절연막(106)과 비결정성 Si막(1801)을 동일 패턴에 의해 열공에칭한다. 이와 같은 공정을 채용할 경우, 제 1게이트전극은, 게이트절연막(106)과의 열공 드레인에칭가공의 용이한 전극배선재료에 의해 구성될 필요가 있다.

다음에, 도 18(d)와 같이, 기판전면에 n형 도우펀트인 인이온을 도우펀한다. 이때, 게이트절연막(106)과 비결정성 Si막(1801)의 적층패턴이 마스크가 되고, 전성다결정 Si막으로 이루어진 채널영역(105)이 자기정착(自着)으로 형성된다.

또, 주면회로부분의 P형 TFT부분에는, 포도레지스트 등을 마스크로해서 P형 도우펀트인 붕소이온을 선택적으로 도우펀한다. 린 및 붕소의 도우펀에는, 이온주입법 또는 이온도우펀법이 사용된다.

다음에 도 18(e)와 같이, 활성화 아닐에 의해, 도우핑한 불순물이온을 활성화해서, 다결정 Si게이트전극(1401) 및 드레인 소스영역에 되는 채널영역(109)을 형성한다. 이때의 활성화 아닐에는, 열아닐, 레이저아닐 등의 수법이 사용된다. 열아닐의 온도는 통상 600℃이상이고, 레이저아닐의 경우에는 Si막의 표면온도는 약 1,000℃에도 달한다. 따라서, 제 1게이트전극에는, 이들 활성화아닐공정에 대한 내열성이 요구된다. 예를 들면, 통상 전극배선재료로서 사용되고 있는 Si은, 상기한 바와 같이 저용점금속이기 때문에 사용할 수 없다. 또, 열적(熱的)인 변형이 걸리기 때문에 저용점의 막도 요구된다. Cr(크롬)은 고융점금속(용점:1860℃)이나, 막용량이 높기때문에, 활성화아닐후에 전극에 균열이 발생해버려 사용할 수 없다.

여기서, 다결정Si로 이루어진 게이트전극(1401)은 도우펀되어 있다고는 하나 메탈에 비해서 고정항이기때문에, 표시장치를 돌아다니는 게이트배선(202)으로서서는 사용할 수 없다. 따라서, 다결정 Si로 이루어지는 제 1게이트전극(1401)에 접속하는, 저저항메탈로 이루어진 제 2게이트전극배선이 필요하게 된다.

그러나, TFT가 노출된 이 단계(도 18(e))에서 제 2게이트전극배선으로서만 만일 Si막(201)을 형성하면, TFT가 오염을 받아서, 한계전압의 시프트나 요크전류의 증가 등의 TFT특성불량의 원인이 된다.

그래서, 다음에, 도 18(f)와 같이, 기판전면에 충전절연막(1501)을 형성한다. 충전절연막(1501)은, TFT와 제 2게이트전극배선이되는 Si막(201)과의 접촉을 방지하기 위한 보호막이며, 통상 CVD법에 의해 형성한 SiO<sub>2</sub>막, SiN막 등이 사용된다. 또, 도 18에는 표시하고 있지 않으나, 제 2의 게이트전극(201)위에는, 다른 충전절연막(110)이 충전절연막(1501)과 마찬가지로 형성되어 있다. 이들 절연막은 200~400℃의 고온으로 플라즈마 CVD법에 의해 형성된다. 따라서, Si막 표면이 용이하게 산화를 받아 버린다고 하는 문제가 발생한다.

제 1 및 제 2게이트전극배선을 Si대신에, 일본특개평 7-147852호에 기재된, 지장형, 저항형, 또한 드라이에칭가공의 용이한 전극배선재료인 고용점금속 Nb(용점: 2470℃)의 막을 사용하였다. Nb막 형성직후의 저항치는 낮은 것이나, 이 막을 형성한 후에 점원막을 형성하고, 그후에 실제로 배선저항을 측정해보면 저항치가 상승했다. 이 이유는, Nb막으로 이루어진 배선위에 200~400℃의 고온으로 플라즈마 CVD법에 의해 SiO<sub>2</sub>막이나 SiN막으로 이루어진 절연막이 형성되기 때문에, Nb막 표면이 산화를 받아, 고저항의 산화나노브가 형성되어 버리기 때문이다. 특히 SiO<sub>2</sub>막을 사용한 경우에는, Nb막 표면이 강한 산화플라즈마로워기에 쏘이기 때문에, 특히 저항이 상승했다. 열산화에 의한 저항상승의 일례로서, 도 19에, 열처리온도를 바꾸어서 열처리하였을때의 Nb막의 저항변화(도면중 확축)로 표시한다. 온도를 사용해서 대가중, 각각도 1h의 열처리를 하였을때의 Nb막의 저항상승의 비율(도면중 종축)을, 열처리전의 저항에 대한 열처리후의 저항과의 비로 표시한 것이다. Nb막의 저항은 180℃부근으로부터 상승하기 시작해서, 250℃를 초과하면 급격히 증대하는 것을 알 수 있다. 300℃에서의 저항상승의 비율은 약 2.5배, 350℃에서는 4.5배로 되는 것을 알 수 있다. 이 저항상승의 비율은, 실제로 TFT소자를 형성했을때에 보게된 Nb전극배선의 저항 상승의 경향과 일치하고 있다. 액정표시장치의 배선의 고저항하는 큰 문제이고, 특히 액티브 매트릭스형의 액정표시장치에 있어서는 이와 같은 전극배선의 고저항하는 치명적이다. 무엇보다도 Nb막의 내열산화 특성적이지 않은 한, Nb, 및 Nb를 주성분으로 하는 금속재료를 사용한 배선의 실현은 곤란하다. TFT용의 절연막의 형성방법으로서, 플라즈마

CVD에도, 예를 들면 유기용제에 가용하는 폴리히드로질리산렌 등의 무기폴리머를 스프인크트에 의해 기판에 도포, SiO<sub>2</sub>막을 형성하는 방법이다. 도포법에 있어서도, 막 특성향상을 위해서도 도포막의 조성공정이 불가결하고, 마찬가지로 전극배선의 내열산화법의 향상이 요구된다. 도 20~도 27을 사용해서, Nb 도는 Nb를 주성분으로 하는 화합물로 이루어진 제 1층과, Nb 도는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층과의 적층막구조의 구성 및 그 효과를 편리적으로 설명한다.

이하, 「Nb 도는 Nb를 주성분으로 하는 합금」, 「Nb 도는 Nb를 주성분으로 하는 합금의 질화물」을 「NbN계」로 표시하고, 이들의 적층구조를 표시할때는 경계를 「J」에 의해 구획지어서 표시하는 것으로 한다. 또한, 제 1층(하층)이 Nb계, 제 2층(상층)이 NbN계의 적층막구조의 경우, 본서에서는, Nb계/NbN계 적층막이라고 기재하고 있다.

도 20은, Nb막의 표면용 플라즈마질화처리해서 형성한 질화 Nb막과 Nb막의 적층막상에, SiO<sub>2</sub>막을 형성했을때의 저항변화를 표시한다. 여기서 Nb막은, DcAr그리드론 스퍼터링법을 사용해서, 기판온도는 130℃, Ar가스유량 60sccm, 파워는 2100W, 압력은 0.2Pa이고, 200nm의 막두께로 형성했다. 또한, 이 조건으로 형성한 Nb막의 동작은 거의 제로인 것을 확인했다. Nb막표면은, N<sub>2</sub>가스200sccm, 파워 500W, 압력 27Pa에 의해 플라즈마로 질화했다. 플라즈마 질화처리시간을 바꾸어서 평가했다. SiO<sub>2</sub>막은, RF플라즈마 CVD법을 사용해서, 기판온도는 330℃, TEOS(라트라에톡시실란): O<sub>2</sub>가스유량비=15:3000sccm, 파워는 1000W, 압력은 133Pa이고, 막두께 300nm를 형성했다. 이것은, TFT프로세스에 있어서, 통상 사용되는 SiO<sub>2</sub>성막 조건에 상당한다.

도 20의 실험은 플라즈마질화처리(nitrogen plasma treatment)시킨다고, 처리시간이 길수록 표면에 형성되는 Nb의 막두께가 두껍게 되어 있다. 처리시간 0에서의 값이 Nb단층막의 저항상승의 비율을 표시한다. 도 20의 연속선, 저항상승의 비율을 as depo.(화학적)사의 저항과 SiO<sub>2</sub>막형성후의 저항과의 비에 따라서, 표시하고 있다. Nb막표면이, SiO<sub>2</sub>성막시에 330℃의 강한 산화플라즈마분위기에서 피이므로써, 막 2.5층의 저항상승이 인지되는 것에 대해서, 처리시간 30min의 막에서는 저항상승이 거의 인지되지 않는 것을 알 수 있다. 이에 따라서, Nb계/NbN계 적층막구조를 채용함으로써, Nb계 단층막에 비해서, 내열산화성이 대폭적으로 향상하고 있는 것을 알 수 있다. 이에 따라서, 저항상승을 초래하는 일없이, 강산화플라즈마분위기에서 종간결연막인 SiO<sub>2</sub>막을 형성할 수 있게 된다. 얻어진 Nb계/NbN계 적층막은, Nb계 단층막과 마찬가지로 고품질, 저저항이 있다. 따라서, 시점전극에 보였는 것같은 실패치나 위스커가 발생할 염려도 없다. 또한, 도포법에 의해 SiO<sub>2</sub>막을 형성한 경우에 있어서도, 마찬가지로 내열산화성의 향상효과가 인지되므로, 구체적으로는, 일예로서, 시물로틱상으로 희석한 합도르폴리리산렌을 스프인크트법에 의해 도포형성하고, 그후 대기속에서 400℃, 1시간 소성후에도 Nb계/NbN계 적층막의 저항상승이 인지되지 않는 것을 확인할 수 있었다.

상승의 NbN계의 막두께에 대해서는, 도 23에 후술하나, 5nm이상으로 내열산화성향상의 효과가 인지되었으나, 막두께가 두꺼워질 수록 그 효과가 커지는 경향이 있다. 그러나 NbN계 막의 비저항이 Nb계막에 비해서 커므로써, NbN계 막의 막두께를 지나치게 두껍게 하는 것은 Nb계/NbN계 적층배선의 저항을 증가시키는 것에, 바람직하지 않다. NbN계막의 막두께로서는, 5nm이상 100nm이하의 범위가 바람직하다. 또, 이것과는 반대로, 배선저항이 NbN계막의 비저항 레벨에 의해 문제가 되지 않는 경우에는, 하층의 Nb계막을 생략해서 NbN계 단층막으로 배선을 구성할 수도 있다.

또, 하층의 Nb계막의 비저항치는 20μΩcm이하가 적당하다. 이 값이상으로 고저항의 Nb계막은 막형성의 단계에서 이미 막자체에 다량의 산소를 함유하고 있기때문에, Nb계/NbN계 적층막의 효과를 얻기 어렵다.

또, 상층의 Nb계/NbN계 적층막의 응용으로서, 도 28, 도 29와 같이, 절연막위에 형성된 배선을 Nb의 질화물 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 3층(150), Nb 도는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107), Nb의 질화물 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층(108)의 순번으로 적층한 적층막으로 구성하는 구조가 있다. 이와 같이 절연막위에 Nb계 막을 직접 접촉하는 것이 아니라, NbN계 막을 개재하고 있으므로, 절연막으로부터의 산소확산에 의해 Nb막의 막질을 저하시키는 일이 없다. 또, NbN계막을 하층에 추가함으로써, Nb계/NbN계 적층막의 절연막과의 밀착성도 향상시킬 수 있다.

상층의 NbN계 막의 막두께와 마찬가지로, 이 하층의 NbN계 막의 두께도 5~100nm의 범위가 적당하다.

Nb계/NbN계 적층막의 형성방법으로서, 상기의 Nb계 막의 표면질화하는 수단이며, 다채널비 메모형의 스퍼터링장치를 사용하는 등, 스퍼터링장치를 연구하는 방법이 적용가능하다. 이 방법에 의하면, Nb계/NbN계 적층막을 연속형성할 수 있고, NbN계 막형성에 의한 공진점가를 억제할 수 있다. 다른 Nb계/NbN계 적층막의 형성방법으로서, 상기 외에, 예를 들면 Nb계 타겟을 사용해서 스퍼터링법으로 형성한 Nb계 막상에, Nb계의 질화물로 이루어진 타겟을 사용해서 스퍼터링법으로 형성한 NbN계막을 적층해서 형성해도 되고, Nb계 타겟을 사용해서 스퍼터링가스에 Nb(질소)를 첨가한 반응성 스퍼터링법으로 형성한 NbN계 막을 적층해서 형성해도 된다. 즉은, Nb계막을 질소분위기 속에서 레이저이온함으로써 표면질화해서 NbN계 막을 형성해도 된다. 어느 경우나 마찬가지로, 도 28에 표시한 반응성스퍼터링법에 의해 형성한 Nb계/NbN계 적층막의 열처리온도(도 23참조:단위℃)를 바꾸어서 열처리했을때의 저항변화(도 23참조:저항상승의 비율로서 열처리후의 저항치를 열처리전의 저항치로 나눈비)를 표시한 것이다. 파라미터는 상층의 NbN의 막두께이다. 즉, ○의 선은, 상층의 NbN의 막두께가 0nm, 즉 상층에 NbN막이 없는 경우이다. □의 선은, 상층의 NbN의 막두께가, 5nm의 경우이다. △의 선은, 상층의 NbN의 막두께가, 20nm의 경우이다. ◇의 선은, 상층의 NbN의 막두께가, 40nm의 경우이다. 도 23으로부터, Nb막상에 막두께 5nm이상의 NbN막을 적층함으로써, 400℃의 열처리에 대해서도 충분한 내열산화성을 확보할 수 있다는 것을 알 수 있다. NbN의 막두께를 두껍게 할 수록 내열산화성이 향상하는 방향이다. 그 효과의 정도는 연반이다. □의 선에 막자체의 저항을 고려하면, 상기한 바와 같이, Nb계/NbN계 적층배선에 적용하는 NbN계 막두께로서는 5nm이상, 100nm이하가 바람직하다.

도 21은, NbN계 막의 형성방법으로서, 스퍼터링가스에 N<sub>2</sub>를 첨가한 반응성스퍼터링법을 사용하였을 경우에 얻어진 NbN계 막의 예를 표시한다. 도 21의 실험은, 스퍼터링가스인 Ar에 가스를 첨가할때의 N<sub>2</sub>/(Ar+N<sub>2</sub>)유량비이다. 도 21의 연속선, 형성된 막의 비저항(Ωcm)이다. 기판온도는 130℃, total가스유량은 60sccm, 파워는 2100W, 압력은 0.5Pa이다. 내열산화성 향상에 기여하는 Nb계/NbN계 적층막의

형성에는,  $N_2$ 첨가량이  $Na/(Ar+N_2)$ 유량비로 0.05~0.25, NbN계막의 비저항으로 100~200 $\mu\Omega\text{cm}$ 의 범위(도 21중(b)에 의해 표시한 범위)의 NbN계 막이 알맞게 되어 있었다. 또한, 이때,  $N_2$ 첨가없음(유량비=0)에 의해 얻어진 Nb계막의 비저항을 18 $\mu\Omega\text{cm}$ 이었다.

다음에, 도 21에 표시한 각 장의 막의 구조를 X선 회절법에 의해 조사했다. 그 결과, (a), (b), (c)에 의해 표시되는 3개의 영역에서는 구조가 상이해 있는 것을 판별하였다.

도 22에, 도 21에 표시한 3개의 영역(a), (b), (c)으로부터 선택한 질화Nb막(NbN막)의, X선회절싹트럼(대표예)를 표시한다. 종속은, X선회절강도가, 단위는 임의단위(arbitrary units 또는 a.u.)이다. 도 22중, ●표시는 Cubic Nb, ○표시는 Cubic NbN로부터의 결정피크. 특성각으로는 일반참류기반으로부터의 비결정성피크를 표시한다. 도 21(a)에서 표시한 범위( $Na/(Ar+N_2)$ 유량비로 <0.05, NbN막의 비저항으로 <100 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은,  $N_2$ 의 첨가부족에 의해, Nb단상(單相) 혹은 NbN과 Nb의 혼합(混晶)의 상태인 것을 알았다. 이에 대해서, 도 21(b)에 표시한 Nb계/NbN계 적용막층에 최적한 범위, 즉( $Na/(Ar+N_2)$ 유량비로 0.05~0.25, NbN막의 비저항으로 100~200 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은, 결정성이 높은 NbN만으로 구성되어 있는 것을 알 수 있다. 도 21(c)에서 표시한 범위, 즉, ( $Na/(Ar+N_2)$ 유량비로>0.25, NbN계막의 비저항으로>200 $\mu\Omega\text{cm}$ 의 범위)에서 얻어진 막은, NbN만으로 구성되어 있으나,  $N_2$ 의 과잉첨가에 의해, 결정피크가 작고 결정성이 낮은 막인것을 알았다. 이들 막질의 물성이, Nb계/NbN계 적용막형성의 내열산화성상호성과의 물성의 원인으로 추측할 수 있다.

게이트전극배선에 적용막을 사용하는 경우, 공정의 증가를 초래하는 일없이, 적용막에서 일괄 조에 예정할 수 있는 것이 바람직하다. 따라서, Nb계/NbN계 적용막을 사용하는 경우에는 Nb계/NbN계 적용막이 일괄 조에 예정가능할 수 있는 것이 바람직하다. 또, 도 6~9에서 후술하는 바와 같이, CMOS인버터를 형성하는 TFT부분, 및 액티브매트릭스의 단위부분에 있어서는, 게이트전극(201)상의 층간절연막(110)에, 콘택트형성을 위한 스쿠우울을 형성할 필요가 있다. 따라서, Nb계/NbN계 적용막상에서 층간절연막(110)이 선택적으로 에칭할 수 있는 것이 조려진다. 층간절연막(110)에, 상기와 같이 SiO<sub>2</sub>막이나 SiN막이 사용된다.

도 24에, F계 에칭가스로서 대표적인 SF<sub>6</sub>가스를 사용해서 에칭하였을때의 Nb, NbN막, SiO<sub>2</sub>막, SiN막, 및 레지스트막의 에칭속도의 평가결과를 표시한다. 도 24의 횡축은, 에칭시간(초)을 표시하고 도 24의 종축은, 에칭된 막두께(nm)를 표시한다. Nb막, NbN막, SiO<sub>2</sub>막은, 20 나치 도 23에 표시한 방법으로 형성했다. SiN막은 RF플라즈마 CVD법을 사용해서, 기판온도는 230℃, SiH<sub>4</sub>(모노실란):NH<sub>3</sub>(암모니아):N<sub>2</sub>가스유량비=20:60:200sccm, 파워는 175W, 압력은 80Pa에 의해 형성했다. 레지스트는 시판의 포지형 레지스트를 사용했다. 에칭조건은, RF평형방전형의 반응성이에칭장치를 사용해서, 파워를 500W, 압력을 27Pa, SF<sub>6</sub>가스유량을 89sccm으로 하였다. 도 24에 표시한 에칭시간에 대한 에칭막두께의 경향으로부터 에칭속도를 구할 수 있다. 에칭속도는, SiO<sub>2</sub>(0.2nm/s) < 레지스트(1.2nm/s) < Nb(1.7nm/s) < NbN계(3.0nm/s) < SiN(4.2nm/s)의 순으로 커지는 것을 알 수 있다. 이에 의해, F계에칭가스를 사용함으로써, Nb계/NbN계 적용막일괄에칭이 가능하다는 것을 알 수 있다.

그러나, SiO<sub>2</sub>막을 층간절연막으로 사용한 경우에는, SiO<sub>2</sub>막의 에칭속도가 NbN계 및 Nb계막의 에칭속도보다도 작기 때문에, 스쿠우울 형성이세 게이트전극배선에 Nb계/NbN계 적용막에 손상을 입히는 것을 알 수 있다. 이에 관해서는, SF<sub>6</sub>으로 대체해서 다음에 설명하는 CHF<sub>3</sub>을 에칭가스로 사용함으로써, SiO<sub>2</sub>막의 선택에칭이 가능해진다. 한편, SiN막의 에칭속도는, NbN계 및 Nb계 막의 에칭속도에 비해서 크나을 얻고 있으나, 에칭속도의 비의 선택비는 NbN계 막에 대해서 가절해야 1.4로 작고, Nb계/NbN계 적용막에 손상을 입히지 않고 선택적으로 SiN막을 에칭하는 것은 실제로는 곤란하다는 것을 알 수 있다.

이에 의해, 층간절연막에 SiN막을 사용하는 것이 어렵다는 것을 알 수 있다. 상기와 같이 F계 에칭가스로서 대표적인 SF<sub>6</sub>가스 대신에, CF<sub>4</sub>, 혹은 CF<sub>4</sub>에 O<sub>2</sub>를 첨가한 가스를 사용한 경우에 있어서도 마찬가지로 결과물을 얻을 수 있었다.

다음에, 도 25에 Nb계, NbN계, 및 SiO<sub>2</sub>막을 CHF<sub>3</sub>가스에 의해 에칭했다. 얻어진 결과를 표시한다. 도 25의 횡축은, 에칭시간(분)을 표시하고, 도 25의 종축은, 에칭된 막두께(nm)를 표시한다. RF평형방전형의 반응성 이에칭장치를 사용하고, 파워를 550W, 압력을 6.7Pa, CHF<sub>3</sub>가스유량을 59sccm으로 하였다. 이 도면으로부터, SiO<sub>2</sub>막의 에칭속도는 23nm/min에 대해서서, Nb, NbN계 막은 거의 에칭되지 않는 것을 알 수 있다. 이것은, CHF<sub>3</sub>이 화학적으로 강한 가스의 것에 기인한다. 즉, CHF<sub>3</sub>가스를 사용한 에칭에서는, 플라즈마에서 에칭에 기여하는 F라디칼의 생성과 함께 C-F화합물이 생성되고, 이것이 Nb계 혹은 NbN계 막 표면에 퇴착하기 때문에, Nb계 혹은 NbN계 혹은 NbN계 막상에서는 에칭의 진행이 정지하는 것이다. 한편, SiO<sub>2</sub>막상에서는, SiO<sub>2</sub>막으로부터 산소가 공급되기 때문에, C-F화합물의 생성반응에 의해 C-F화합물의 퇴적이 발생하지 않고 SiO<sub>2</sub>막의 에칭이 일정하게 진행된다. 따라서, CHF<sub>3</sub>가스를 사용함으로써, Nb계/NbN계 적용막상의 SiO<sub>2</sub>막을 선택적으로 에칭할 수 있게 된다. 상기와 같이 에칭가공상의 제한으로부터, 게이트전극배선(201)상의 층간절연막(110)에는 SiO<sub>2</sub>막이 적절하다는 것을 알 수 있다.

도 26은, 도 24에 표시한 가스를 사용해서 Nb계/NbN계 적용막을 에칭하였을때의 에칭패턴 단부의 단면모식도를 표시한다. 도 26중, (103)은 유리기판, (107)은 Nb계막, (108)은 NbN계막, (2401)은 레지스트패턴을 표시한다. 도 26(a)에 표시한 바와 같이, NbN계막(108)에서는 막두께방향 및 막의 가로방향으로 등방적으로 에칭에 진행한다고 생각된다. 여기서, 도 24에서 설명한 바와 같이, Nb계/NbN계 적용막에 있어서의 상층 NbN계막(108)의 에칭속도 a는, Nb계막(107)의 에칭속도 b의 약 2배 정도(a>b). 따라서, 도 26(b) 및 (c)에 표시한 바와 같이, 막두께방향의 에칭속도는, 에칭이 Nb계/NbN계 계면을 통과해서 Nb계 막속으로 진행된 도면(途端)에서 작아진다. 한편, 막의 가로방향의 에칭속도는, 여전히 NbN계 막의 에칭속도a에 지배되는 것으로 된다. 최종적으로는, 도 26(d)에 표시한 바와 같이, 에칭단부는, Nb계/NbN계 계면을 시에 두고 서로 다른 각도를 가진 테이퍼형상으로 가공된다. 이때, 상층 NbN계 막이 이루는 각도α와 하층 Nb계막이 이루는 각도의 관계는, α>β가 된다. 실제의 Nb계/NbN계 적용막의 에칭에서는, 등방에칭은 아니고, 막두께 방향에 비해서 막의 가로방향의 에칭속도가 약간 큰 경향이어서, 에칭패턴의 단부의 형상은 어느것이나 도 26(d)에 표시한 테이퍼형상과 거의 마찬가지로 형성되어 에칭되어 있는 것을, 단면 SEM관찰에 의해 확인되었다. 이와 같은 테이퍼형상, 실제로 게이트전극배선에 적용하였을때, 층간절연막(110)이나 드레인전극배선(203)의 양호한 주위 특성을 확보할 수 있고, 배선간 쇼트나 층간절연막을 개재한 드레인단단불량을 방지할 수 있다. 즉, 도 26에 표시되는 배선단부형상은 게이트전극배선으로서 불기밀한 특성이다.

도 6~도 9에서 후술하는 바와 같이, 상보형(CMOS)인버터를 형성하는 TFT부분에 있어서는, 게이트전극배선이 되는 Nb계/NbN계 적층막과 드레인 배선재료와의 스루우물콘택트층 형성한 필요가 있다.

도 27, Nb계/NbN계 적층막과, 드레인배선전극자료로서 일반적인 Cr 및 Cr의 합금막의 예로서 Cr과 Mo와의 합금막(이하, Cr-Mo라고 약기한다)과의 스루우물콘택트저항을 측정한 결과를 표시한다. 도 27 황속에 콘택트면적( $\mu\text{m}^2$ )을 표시하고, 도 27중속에서 콘택트저항( $\Omega \cdot \mu\text{m}^2$ )을 표시한다. Cr막은, Dc미크로트렌스퍼터링법을 사용해서, 기판온도는 200℃, Ar가속압력 60scm, 파워는 4000W, 압력은 0.2Pa로 형성했다. Cr-Mo막은, Cr과 Mo의 중량비율이 50:50의 합금다이어트를 사용하고, 그 이외는 Cr와 같은 조건으로 형성했다. 도 27중의  $\square$ 표시가 Nb계/NbN계 적층막과 Cr의 경우,  $\square$ 표시가 Nb계/NbN계 적층막과 Cr-Mo의 경우의 측정결과이다. 주변회로 및 화소TFT의 구동조건으로부터, 콘택트저항의 시방의 목표로서  $10^5 \mu\text{m}^2$ 이하로 억제하는 것이 요구되고 있다. 도 27로부터, Nb계/NbN계 적층막과 Cr, Nb계/NbN계 적층막과 Cr-Mo의 어느 조합의 경우도, 얻어진 콘택트저항은, 콘택트면적 25~400 $\mu\text{m}^2$ 의 범위에서  $10^5 \mu\text{m}^2$ 인 것을 알 수 있다. 이것은 목표보다 4~241 낮은 값이고, 시방을 충분히 만족시키는 것을 알 수 있다. 따라서, 게이트전극배선용 Nb계/NbN계 적층막, 드레인전극배선재료용 Cr 및 또는 Cr의 합금막으로 함으로써, 양호한 콘택트특성을 확보할 수 있다고 결론된다. 또, 이 콘택트특성으로, 상기 드레인 전극배선 혹은 상기 소스전극배선중, 적어도 상기 Nb계/NbN계 적층막만으로 이루어진 게이트전극배선과 접하는 부분이 크롬, 또는 크롬과 몰리브덴의 합금막으로 형성되어 있으면 얻을 수 있다. 따라서, 이 조건을 충족하고 있으면, 드레인전극배선 혹은 상기 소스전극배선의 용융예로서, 크롬, 또는 크롬과 몰리브덴의 합금과 다른 금속막과의 적층막, 예를 들면 저저항금속막인 알루미늄합금막과의 적층막을 사용할 수도 있다. 또한, 본 발명에 의한 배선구조는 내열산화성에 뛰어나기 때문에, 배선에 고온의 산화환경유기기에 접하는 프로세스이며, 드레인전극배선이나 소스전극배선 및 공통전극, 공통전극배선을 가진 경우에는 공통전극 공통전극배선 등에 사용해도 효과를 발휘하나, 특히, 본 발명을 TFT기판의 게이트전극배선에 적용한 예에 대해서 이하에 설명한다.

도 2는 본 발명에 관한 코프트라이닝 TFT를 사용해서 구성한 액정표시장치의 단위회로의 평면도로서, 도 1, 도 3은 각각 2중, x-x', y-y'로 표시한 선을 따른 단면도이다.

액정표시장치의 단위회로의 기본구조는, 도 14에서 표시한 비교예와 마찬가지로 일방막(104)부착의 유리기판(103)위에 형성한 게이트전극배선(202)과, 이에 교차하도록 형성된 드레인전극배선(203)과, 이들 전극배선의 교차부 부근에 형성된 TFT(101)와, 화소시영역(102)으로 구성된다. 비교예와 다른점은 다결정Si로 이루어진 제 1게이트전극(1401)과 Si로 이루어진 제 2게이트전극(201)과의 2중게이트전극구조에 대체해서, 본 발명에서는 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층(Nb계/NbN계)으로 구성된 적층형 전극구조를 채용하고 있는 것이다. 따라서, 도 1에 표시한 바와 같이, TFT(101)는, 전선다결정Si막으로 이루어진 채널영역(105)과, 채널영역(105)상에 형성된 게이트절연막(106)과, Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막으로 구성된 적층형의 게이트전극(201)과, 상기 전선다결정Si막(105)의 드레인-소스영역에 불순물을 도포함으로써 형성된 제 1층(109)에, 스루우물을 개재해서 접속된 드레인전극(11)과 소스전극(112)으로 구성되고, 이 TFT(101)의 소스전극(112)에는 화소전극(113)이 접속된다. 또, TFT(101)의 게이트전극배선과 소스-드레인전극과의 사이에는 충전절연막(110)이 형성되고, TFT(101) 및 라벨선유에는 보호절연막(114)이 형성된다. 또, 부호(102)는, 화소시영역이다.

비교예와 마찬가지로 게이트전극(201)을 일정한 부분이 그대로 게이트전극배선(202)이 된다.

도 3은, 게이트전극배선(202)과 드레인전극배선(203)과의 교차부분을 표시한다. 도 26에서 상술한 바와 같이, Nb 또는 Nb를 주성분으로 하는 제 1층(107)과 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막으로 이루어진 게이트전극배선(202)의 패턴단부는 순(順) 테이퍼형상으로 가공한다. 이와 같이 테이퍼형상으로 가공함으로써, 게이트전극배선(202)위의 충전절연막(110) 및 드레인전극배선(203)의 양호한 접착특성을 확보할 수 있고, 배선간의 단락에 의한 쇼트나 드레인전극배선(203)의 단선(斷線)을 방지할 수 있다. 또, Si전극배선에 보았을 것 같은 활착이나 위스키의 발생이 없기 때문에, 배선간의 단락에 의한 쇼트발생을 도 저감할 수 있다.

도 4는 도 1~도 3에 표시한 실시예의 게이트전극배선형성 공정이다. 각 공정마다의 단면구조를 표시하고 있다. 먼저, 도 4(a)와 같이, 일방막(104)부착의 유리기판(103)상에, 전선다결정Si막으로 이루어진 선평면(101)을 형성한다. 이어서, 도 4(b)와 같이, 기판재면에 게이트절연막(106), Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107), 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막을 형성한다. Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막은, 질화막형성을 Ar과  $\text{N}_2$ 와의 혼합가스에 의한 반응성시퍼터링법을 사용함으로써 제 1층과 연속형성할 수 있다. 다음에, 도 4(c)와 같이, 게이트절연막(106)과 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막을 동일패턴에 의해 밀착에칭함으로써, 적층형의 게이트전극(201) 및 거의 동일 평면형상의 게이트절연막(106)이 된다.

도 24에서 상술한 바와 같이, Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막은, F제 에칭가스를 사용함으로써 용이하게 밀착에칭이 가능하다.

다음에, 도 4(d)와 같이, 기판 전체면에 N형 도무펀트인 인이온을 도무핑한다. 이때, 게이트절연막(106)과 적층형의 게이트전극(201)과의 적층패턴에 마스크가 되고, 전선다결정Si막으로 이루어진 채널영역(105)이 자기장정적으로 형성된다.

최후로, 도 4(e)와 같이, 활성화여닐에 의해 도무핑한 불순물이온을 활성화한다. 드레인-소스영역이 되는 활성층(109)을 형성한다. 이때의 활성화여닐에는, 열아닐, 레이저아닐 등의 수법이 사용되나, 적층형의 게이트전극(201)을 구성하는 Nb계/NbN계 적층막은 고용형, 저용액이기 때문에, 활성화여닐에 의한 게이트전극패턴의 파괴, 균열 등의 불량을 발생시키는 일이 없다. 또, 게이트전극배선에 Nb계/NbN계 적층막구조이기 때문에, 활성화여닐분위기에 대한 내열산화성이 향상한다. 그후의 충전절연막(110)의 형성공정에 있어서도, 게이트전극배선의 저항이 상하는 일은 없다.

도, Nb계/NbN계 적층막은, 도 14~도 18에서 설명한 비교예의 다결정Si로 이루어진 게이트전극(1401)에 대해서 현저하게 저저항이기 때문에, 적층형의 게이트전극(201)만으로 액정표시장치의 산화배선으로서의 역할을 다할 수 있다. 따라서, 비교예에 있어서의 지지함대물로

이루어진 제 2게이트전극배선이 필요하게 된다. 이에 따라서, TFT와 제 2게이트전극배선(201)과의 접촉을 방지하기 위한 층간절연막(1501)도 필요하게 되고, 게이트전극배선 구조 및 토폴로제스스가 대폭적으로 간략화되는 것을 알 수 있다. 한편하면, 본 발명의 적층게이트전극배선 구조를 적용함으로써, Nb 및 Nb를 주성분으로 하는 금속재료의 특성을 살리면서, 나열산화층, 가공층에 끼여 넣고, 저저항이고 저유력, 또한 프로세스정합성에 뛰어난 간략한 게이트전극배선 구조를 실현할 수 있다. 나아가서는, TFT 구조 및 프로세스의 대폭적인 간략화에 의해, 액정표시장치의 제조공정을 단순화할 수 있게 된다.

또, 배선의 교차부분에 있어서의 배선간의 단락에 의한 스트나 드레인전극배선의 절단선을 방지할 수 있기 때문에, 액정표시장치의 수율도 향상시킬 수 있다.

도 5에 CMOS인버터터를 사용해서 구성된 구동회로를 액티브 매트릭스형의 액정표시부와 동시에 동일한 기판(501)상에 집적한 액티브 매트릭스형 액정표시장치 전체의 등가회로를 표시한다.

이 액정표시장치는 표시부로서의 TFT로 이루어진 액티브 매트릭스(50)와, 이것을 구동하는 수직주사회로(51)와, 1개의 주사선분의 비디오신호를 복수의 블록으로 분할해서 시분할적으로 공급하기 위한 수평주사회로(53)와, 비디오신호를 공급하는 데이터신호선 Vdr1, Vdr1, Vdb1, ..., 비디오신호를 분할블록마다 액티브 매트릭스 블록으로 공급하는 스위치 매트릭스 회로(52)를 가진다. 여기서, 수직주사회로(51) 및 수평주사회로(53)는, 시프트레지스터와 버퍼에 의해 구성되고, 클럭신호 CL1, CL2, CKV에 의해 구동된다.

도 6은 기판상에 형성되는 CMOS인버터회로를 구성요소들의 회로도이다. PMOS와 NMOS가 도면에 표시한 바와 같이 구성되고, 입력단자 Vin과 출력단자 Vout를 가지고, 기준전압 Vss 및 전원전압 Vdd가 인가된다.

도 7은, 도 6에 표시한 인버터회로의 패턴배치도를 표시한다. 도 8은, 도 7중 x-x'로 표시한 선을 따른 단면도, 도 9는 도 7중 y-y'로 표시한 선을 따른 단면도이다. 본 실시형태에 있어서의 CMOS인버터는, P형 TFT인 PMOS702에 의해 구성되고 있다.

도 8에 표시한 바와 같이, (701)과 (702)의 2개의 TFT의 게이트전극(703)과 (704)는, 입력단자 Vin과 일치로운 제 1배선전극(705)과 스위우층 TH를 개재해서 접촉되어 있다.

또, 도 9에 표시한 바와 같이, 회로에 기준전압 Vss 및 전원전압 Vdd를 공급하는 전극 및 2개의 TFT의 드레인전극을 접촉한 출력단자 Vout는 제 2배선전극(706)에 의해 형성되어 있다. 출력단자 Vout가 차단(次段)주사선에 대응하는 시프트레지스터의 입력전압이 된다.

이때, 배선전극(705)과 (706)은 어느 것이나 TFT의 드레인전극배선과 동등(同層), 동일자료로 구성된다. 따라서, 입력단자 Vin쪽에서는, 배선전극(705)과 TFT의 게이트전극(703) 및 (704), 즉 드레인전극배선자료와 게이트전극배선자료의 양호한 스루우층콘택트 특성이 확보되지 않으면 안된다. 적층게이트전극배선 구조를, P형 트랜지스터 PMOS(701)와 N형 트랜지스터 NMOS(702)를 구성하는 TFT에 사용함으로써, 구체적으로는 게이트전극(703)과 (704)는 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과, 제 1층의 절화막으로 이루어진 제 2층(108)과의 적층막으로 구성되고, 배선전극(705)과 (706)은 드레인전극배선재료인 Cr, 또는 Cr과 Mo와의 합금막으로 구성되게 된다. 게이트전극(703)과 (704)상의 층간절연막(110)은 SiO<sub>2</sub>막으로 구성되게 된다.

이 경우도 게이트전극(703)과 (704)는 Nb계/nNb계 적층막 구조로 구성되어 있고, 충분한 나열산화층이 보증되어 있다. 따라서, SiO<sub>2</sub>막으로 이루어진 층간절연막(110)형성후, 게이트전극배선 저항이 상승하는 일은 없다.

또, 도 27에 표시한 바와 같이 Nb와 절화Nb와의 적층막과 Cr 또는 CrMo와의 스루우층콘택트 저항이 충분히 낮다. 따라서, 배선전극(705)과 TFT의 게이트전극(703) 및 (704)의 접속에 있어서는, 양호한 스루우층콘택트 특성을 확보할 수 있다.

또, 도 25에서 상술한 바와 같이, 게이트전극(703) 및 (704)상에서 층간절연막(110)을 선택에칭할 수 있기 때문에, 스루우층형성공정에 있어서, 하층의 게이트전극(703) 및 (704)이 손상을 받는 일은 없다. 이에 의해, 간략한 구조로 특성이 양호한 CMOS인버터터를 얻을 수 있기 때문에, 주변회로의 내장(內藏)도 용이해지고, 액정 디스플레이 장치의 대폭적인 고성능화, 저코스트화를 도모할 수 있다. 또, 상기의 실시예에서는, 드레인전극 및 드레인전극배선재료로서 Cr, 또는 Cr과 Mo와의 합금막을 사용하고 있으나, 게이트전극, 게이트전극배선과 접하는 부분이 Cr 또는 Cr과 Mo와의 합금막으로 이루어진 제 1층으로 구성되고, 그위에 저저항금속막의 알루미늄합금막으로 이루어진 제 2층을 적용한 드레인전극, 드레인전극배선 구조로 함으로써, 스루우층콘택트 특성뿐만 아니라, 배선 저항의 높은 드레인전극, 드레인전극배선을 얻을 수 있다. 상기의 실시예에서는 코프레이너형의 TFT를 사용해서 전체를 구성했으나, TFT는 엑스터거형, 혹은 산장거형이어도 된다. 또, 상기의 실시예에서는 세로전계형의 TFT를 사용해서 전체를 구성했으나, TFT의 소스전극과 공통전극간에 가로방향으로 전계를 인가한다.

가로전계형의 TFT를 사용해서 구성해도 된다. 또, TFT의 채널반도체층에, 전장다결정성 실리콘에 비결정성 실리콘을 사용한 경우에 있어서도 마찬가지로 성능이 향상한다. 다음에 설명하는 실시예는, 엑스터거형의 비결정성 Si와 본 발명을 적용한 예이다.

도 10에, 엑스터거형 TFT를 사용해서 구성된 본 발명에 관한 액티브 매트릭스형 액정표시장치의 단위회로의 평면도를 표시한다.

도 11, 도 12는 각각, 도 10주의 x-x', y-y'로 표시한 선을 따른 단면도이다.

본 액정표시장치의 기본 구성은, 일반회로(104)부의 유리 기판(103)위에 형성한 게이트전극배선(202)과, 이에 교차하도록 형성된 드레인전극배선(203)과, 이들의 전극배선의 교차부 부근에 형성된 TFT(101)와, 화소표시영역(102)과, 부가용량(1001)으로 구성된다.

도 1~도 4에서 설명한 코프레이너형 TFT의 실시예와 다른점은, TFT(101)가 엑스터거형 TFT로 구성되어 있는 것, 채널영역(105)과 드레인·소스영역에 불순물을 도우면서 합성층(109)이 비결정성 Si로 구성되어 있는 것 및 게이트절연막이 SiO<sub>2</sub>막으로 이루어진 제 1게이트절연막(1101)과, SiN막으로 이루어진 제 2게이트절연막(1102)의 적층막으로 구성되어 있다는 것이다. 비결정성 SiTFT에 있어서는, 채널층인 비결정성 Si와 게이트절연막계면의 안정성을 확보하기 위해서, 게이트절연막에 SiN막이 사용되는 것이 좋게이다.

그러나, 게이트절연막을 SiN층막으로 구성하면 상기와 같이 게이트절연막의 하층에 위치하는 Nb, 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층(107)과 제 1층의 절화막으로 이루어진 제 2층(108)의 적층막(Nb계/nNb계)으로 구성된 적층형의 게이트전극 및 게이트전극배선(1101) 및 (202)부에서, SiN막으로 이루어진 게이트절연막을 선택에칭하는 일이 곤란해진다.

그래서, 실시예에 있어서는, 상기와 같이 SiO<sub>2</sub>막으로 이루어진 제 1게이트절연막(1101)과, SiN막으로 이루어진 제 2게이트절연막(1102)의



적층게이트절연막구조를 채용하고, 게이트전극 및 게이트전극배선(201) 및 (202)의 선택에칭특성은  $\text{SiO}_2$ 막으로 이루어진 제 1 게이트절연막(1101)에 의해, 채널층(105)과의 계면의 안정성은 SiN막으로 이루어진 제 2 게이트절연막에 의해 확보한다.

이때도, 게이트전극 및 게이트전극배선(201) 및 (202)은 Nb/NbN계 적층막으로 인해 구성함으로써 충분한 내열산화성을 가진다. 따라서,  $\text{SiO}_2$ 막으로 이루어진 제 1 게이트절연막(1101)형성후에, 게이트전극배선자랑이 상충하는 일은 없다.

도 12는, 게이트전극배선(202)과 드레인전극배선(203)의 교차부분을 표시한다. 본 발명의 적용에 의해, Nb, 또는 Nb를 주성분으로 하는 제 1층(107)과, 제 1층의 질화막으로 이루어진 제 2층(108)과의 적층막으로 이루어진 게이트전극배선(202)의 패터닝부가 수산화피형상으로 가공되기 때문에, 게이트전극배선(201)위의  $\text{SiO}_2$ 막으로 이루어진 제 1 게이트절연막(1101), SiN막으로 이루어진 제 2 게이트절연막(1102) 및 드레인전극배선(203)의 양호한 주위특성을 확보할 수 있고, 따라서 배선간의 단락에 의한 쇼트나 드레인전극배선(203)의 절단상을 방지할 수 있다. 또, 시전극배선에 보였던 칩크리나 위스커의 발생이 없기 때문에, 배선간의 단락에 의한 쇼트불량을 방지할 수 있는 것은 말할 것도 없다.

도 13은, 본 발명에 관한 액티브 매트릭스형의 액정디스플레이장치의 단면모식도를 표시한다. 액정층(1302)의 하부의 유리판(1303)상에는, 게이트전극배선(201)과 드레인전극배선(203)이 매트릭스형상으로 형성되고, 그 교차부위에 형성된 TFT에 의해 ITO로 이루어진 화소전극(113)을 구동한다. 액정층(1302)을 사이에 두고 대향하는 대향유리기판(1305)위에는 ITO로 이루어진 대향전극(1306) 및 컬러필터(1304), 컬러필터보호막(1307), 차광을 블랙매트릭스패턴을 형성하는 차광막(1308)이 형성되어 있다. 도 13의 중앙부는 1화소의 질화막의 단면을, 좌측은 1층의 유리기판(103), (1305)의 좌측가장자리부분에서 외부인출단자가 존재하는 부분의 단면을, 우측은 1층의 유리기판(103), (1305)의 우측가장자리부분에서 외부인출단자가 존재하지 않는 부분의 단면을 표시하고 있다.

도 13의 좌측, 우측의 각각에 표시한 시일재 SL은, 액정층(1302)을 시일하도록 구성되어 있고, 액정봉입구(도시생략)를 제외한 유리기판(103), (1305)의 가장자리전체를 따라서 형성되어 있다. 시일재는, 예를 들면 에폭시수지에 의해 형성되어 있다. 대향유리기판(1305)쪽의 대향전극(1306)은 적어도 1개소에 있어서, 은페이스트재 SL에 의해서 유리기판(103)에 형성된 외부인출배선에 접속되어 있다. 이 외부인출배선은 게이트전극배선(201), 소스전극(112) 및 드레인전극배선(203)의 각각과 동일제조공정에 의해 형성된다. 따라서, 예를 들면, 게이트전극배선(201)의 외부인출배선은, 구체적으로는 본 발명의 Nb계/NbN계 적층막구조로 구성할 수 있다. 각각의 외부인출배선은, 이방성도전막(ACF: Anisotropic Conducting Film)을 개재해서, TCP(Tape carrier Package), 또는 COG(Chip On Glass)접속방식의 외부구동회로의 접속된다. 배향막 ORI1, ORI2, 화소전극(113), 보호막(114), 층간절연막(110),  $\text{SiO}_2$ 로 이루어진 게이트절연막(106)의 각각의 층은 시일재 SL의 안쪽에 형성된다. 편광판(1301)은 각각 1층의 유리기판(103), (1305)의 배광쪽의 표면에 형성되어 있다.

액정층(1302)은 액정분자의 방향을 설정하는 하부배향막ORI1과, 상부배향막 ORI2의 사이에 봉입되어, 시일재SL에 의해서 시일되어 있다. 하부배향막 ORI은, 유리기판(103)쪽의 보호절연막(114)의 상부에 형성된다. 대향유리기판(1305)의 안쪽의 표면에는, 차광막(1308), 컬러필터(1304), 컬러필터보호막(1307), 대향전극(1306) 및 상부배향막 ORI2가 순차로 적층되어 형성되어 있다. 이 액정표시장치는 유리기판(103)쪽과 대향유리기판(1305)쪽의 층을 따로따로 형성하고, 그후 상하유리기판(103), (1305)을 맞고서, 양자사이에 액정(1302)을 봉입함으로써 조립된다. 백라이트BL로부터의 광의 투과를 화소전극(113)부분으로 조절함으로써 TFT 구동형의 컬러표시장치가 구성된다. 이와 같이 게이트전극(주사선배선)(201) 및 게이트전극배선(202)으로서, Nb 혹은 Nb를 주성분으로 하는 합금과 Nb 혹은 Nb를 주성분으로 하는 합금의 질화물의 적층게이트전극배선구조를 사용함으로써, 내열산화성과 가공성에 뛰어나고, 저저항, 저용량이고, 프로세스정합성에 뛰어난 강력한 게이트 배선구조를 용이하게 실현할 수 있기 때문에, 시스템효율 및 수율이 뛰어난 액티브 매트릭스형의 액정디스플레이장치를 용이하게 실현할 수 있다.

또, 주변회로의 내장이 용이하게 되기 때문에, 액정디스플레이장치의 대폭적인 고성능화, 저코스트화를 실현할 수 있다. 또, 상기 실시예에 있어서, 세로전계형의 TFT를 사용해서 전체를 구성했으나, 공통전극, 공통전극배선을 가진 가로전계형의 TFT를 사용한 경우에 있어서도 마찬가지이다.

또한, TFT는 코프레이너형, 엑스태거형, 혹은 정스타거형이어도되나, 특히 코프레이너형 소자에 의해서, 게이트와 소스 혹은 드레인간의 기생용량을 작게 할 수 있으므로 보다 고속인 동작이 가능하고, 주변회로내장형의 액정표시장치에 유리하다.

또, TFT의 채널반도체층에 진성다결정 Si 대신에 비결정질 Si를 사용한 비주변회로내장형 액정표시장치에 대해서도 마찬가지로 적용가능하다. 실용한 실시예에서는, Nb/NbN 혹은 NbN/NbN의 적층구조를 게이트전극, 게이트전극배선에 적용한 경우만을 표시했으나, 드레인전극배선이나 소스전극 및 공통전극, 공통전극배선을 가진 경우에는, 공통전극, 공통전극배선에 적용해도 마찬가지로 내열산화성 및 절연막과의 양호한 접합성 및 절연막을 개재한 양호한 스루유물론 매트릭스 등의 효과를 얻을 수 있다.

Nb를 주성분으로 하는 합금 및 Nb를 주성분으로 하는 합금의 질화물의 예로서는, 예를 들면, Mo, Ti, V, Si 등을 수%이하의 범위로 함유하는 Nb합금 및 이들 Nb합금의 질화물이 있다.

## 발명의 효과

본 발명의 실시예에 의하면, 열산화성에 뛰어난 배선을 용이하게 얻을 수 있고, 고성능이고 저코스트인 액정표시장치를 실현할 수 있다.

## (57) 청구의 범위

### 청구항 1.

1층의 기판과, 상기 1층의 기판에 패여유지되는 액정층을 가진 액정표시장치에 있어서, 상기 1층의 기판의 한쪽에는 Nb 혹은 Nb를 주성분으로 하는 합금으로 구성되는 제 1층과 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물에 의해 구성되는 제 2층으로 구성되는 배선을 가진 것을 특징으로 하는 액정표시장치.

**청구항 2.**

1층의 기판과, 상기 1층의 기판에 개유유지되는 액정층을 가진 액정표시장치에 있어서, 상기 1층의 기판의 한쪽에는 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물층으로 구성되는 배선층을 가진 것을 특징으로 하는 액정표시장치.

**청구항 3.**

제 1항에 있어서, 상기 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물층에 의해 구성되는 제 3층이 형성되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 4.**

제 1항 또는 제 2항에 있어서, 상기 배선층에는 산화실리콘막으로 이루어진 절연막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 5.**

제 1항에 있어서, 상기 제 1층과 상기 제 2층은 동일 패턴으로 일괄에칭되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 6.**

제 3항에 있어서, 상기 제 1층, 상기 제 2층 및 제 3층이 동일패턴으로 일괄에칭되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 7.**

제 1항에 있어서, 상기 배선의 단부는 순데이퍼형상의 것을 특징으로 하는 액정표시장치.

**청구항 8.**

제 1항에 있어서, 상기 제 1층의 비저항은  $20\mu\Omega\text{cm}$ 이하로서, 상기 제 2층의 비(比)저항은  $100\sim 200\mu\Omega\text{cm}$ 의 범위인 것을 특징으로 하는 액정표시장치.

**청구항 9.**

제 2항에 있어서, 상기 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 배선층의 비저항은  $100\mu\Omega\text{cm}$ 이상,  $200\mu\Omega\text{cm}$ 이하의 범위인 것을 특징으로 하는 액정표시장치.

**청구항 10.**

제 1항에 있어서, 상기 제 2층의 막두께는  $5\sim 100\text{nm}$ 인 것을 특징으로 하는 액정표시장치.

**청구항 11.**

1층의 기판과, 상기 1층의 기판에 개유유지된 액정층을 가지고,

이 1층의 기판에는 복수의 게이트전극배선과, 이들 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선과, 이들 배선의 교차점에 대응해서 형성된 복수의 박막트랜지스터와, 이들 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서,

상기 복수의 게이트전극배선, 드레인전극배선 및 소스전극 및 공통전극, 공통전극배선을 가진 경우에는 공통전극, 공통전극배선의 적어도 1개가 Nb 또는 Nb를 주성분으로 하는 합금으로 이루어진 제 1층과 Nb 또는 Nb를 주성분으로 하는 합금의 질화물로 이루어진 제 2층을 가진 적층막으로 구성되는 것을 특징으로 하는 액정표시장치.

**청구항 12.**

1층의 기판과, 상기 1층의 기판에 개유유지된 액정층을 가지고, 이 1층의 기판에는 복수의 게이트전극배선과, 이들 복수의 게이트전극배선에 교차하도록 형성된 복수의 드레인전극배선과, 이들 배선의 교차점에 대응해서 형성된 복수의 박막트랜지스터와, 이들 복수의 박막트랜지스터에 대응해서 형성된 복수의 소스전극을 가진 액정표시장치에 있어서, 상기 복수의 게이트배선, 드레인전극배선소스전극 및 공통전극, 공통전극배선을 가진 경우에는 공통전극, 공통전극배선의 적어도 1개가 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물층막으로 구성되는 것을 특징으로 하는 액정표시장치.

**청구항 13.**

제 11항에 있어서, 상기 제 1층의 아래에 Nb의 질화물 혹은 Nb를 주성분으로 하는 합금의 질화물로 구성되는 제 3층이 형성되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 14.**

제 11항 또는 제 12항에 있어서, 상기 제 1층과 상기 제 2층을 가진 적층막으로 구성된 배선층에 산화실리콘막으로 구성된 절연막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

**청구항 15.**

제 14항에 있어서, 상기 산화실리콘막은 상기 박막트랜지스터의 게이트절연막의 적어도 일부분인 것을 특징으로 하는 액정표시장치.

**청구항 16.**

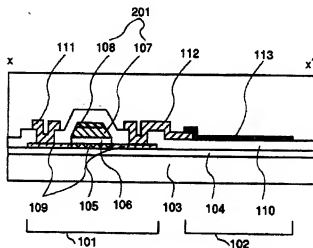
제 11항 또는 제 12항에 있어서, 상기 드레인전극배선 혹은 상기 소스전극배선은 크롬, 또는 크롬과 폴리브덴의 합금막으로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 17.

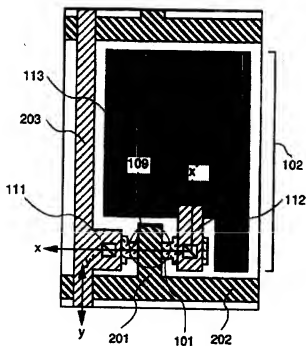
제 11항 또는 제 12항에 있어서, 상기 드레인전극배선 혹은 상기 소스전극배선의 적어도 일부가 크롬, 또는 크롬과 폴리브덴을 함유하는 합금막으로 형성되어 있는 것을 특징으로 하는 액정표시장치.

도면

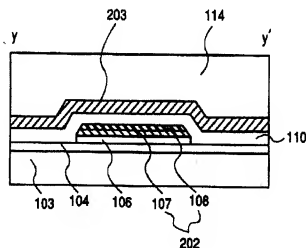
도면 1



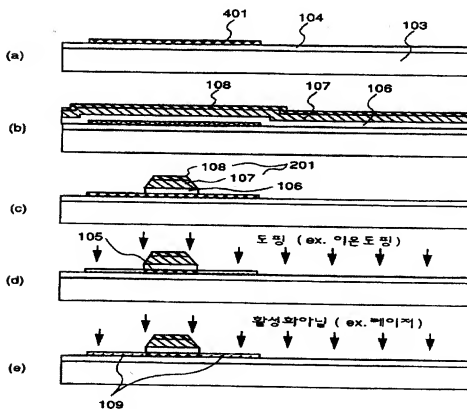
도면 2



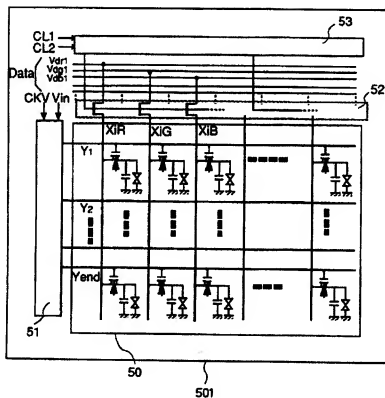
도면 3



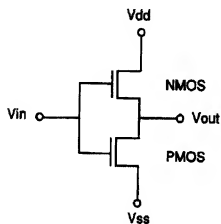
도면 4



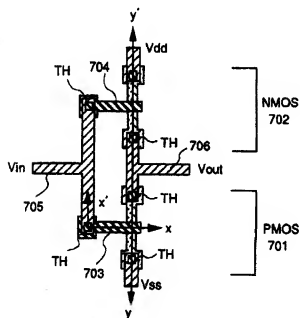
도면 5



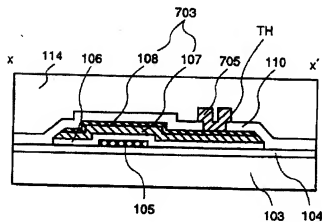
도면 6



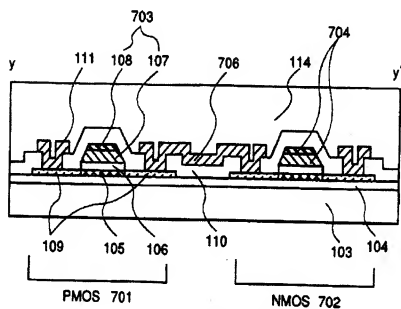
도면 7



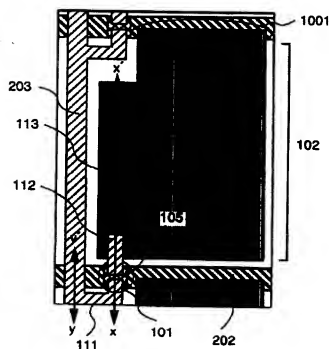
도면 8



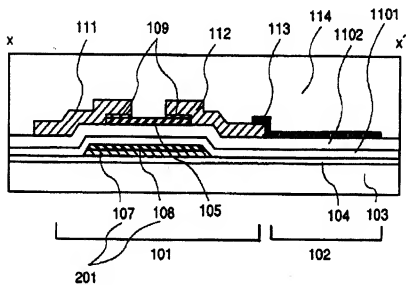
도면 9



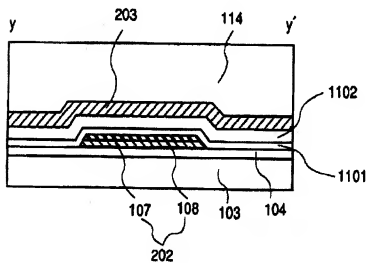
도면 10



도면 11

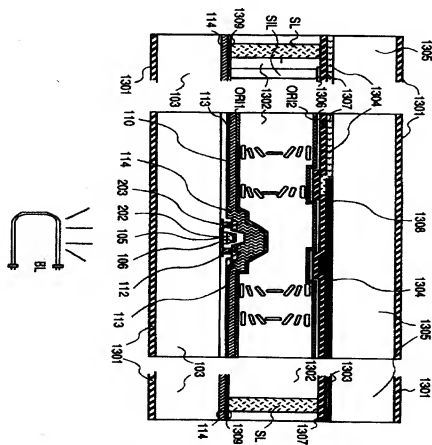


도면 12

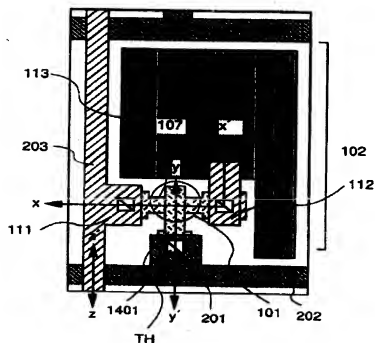


도면 13

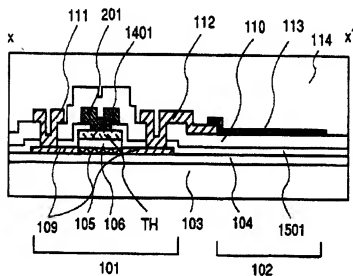




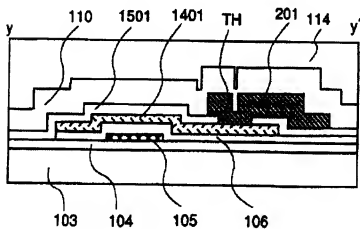
도면 14



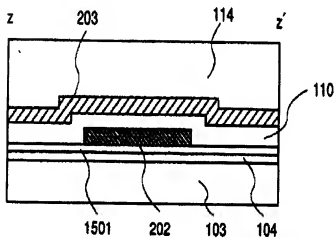
도면 15



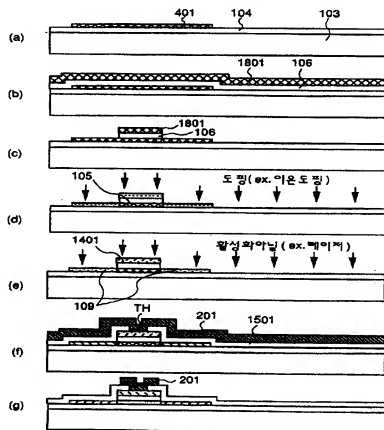
도면 16



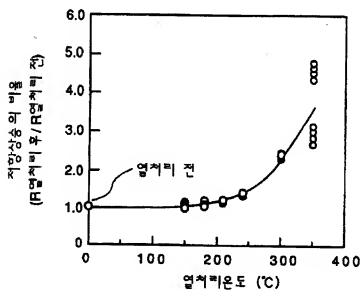
도면 17



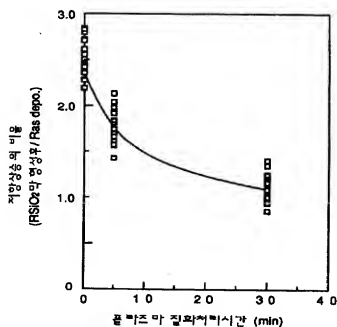
도면 18



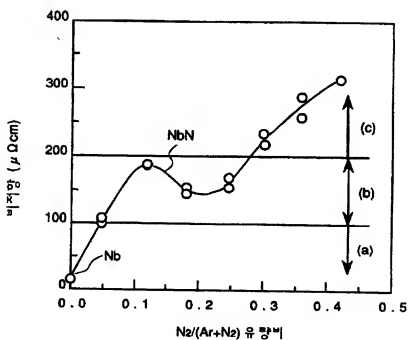
도면 19



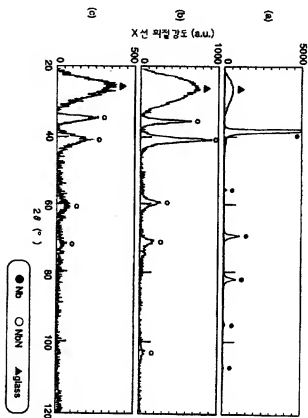
도면 20



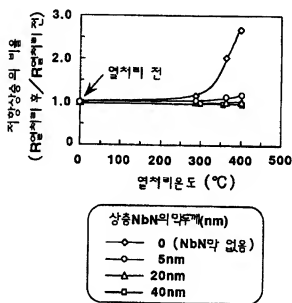
도면 21



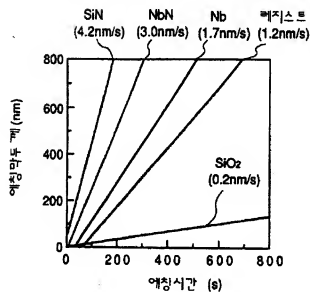
도면 22



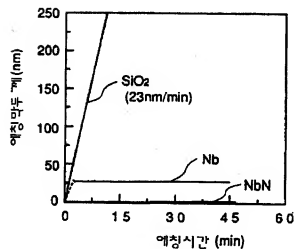
도면 23



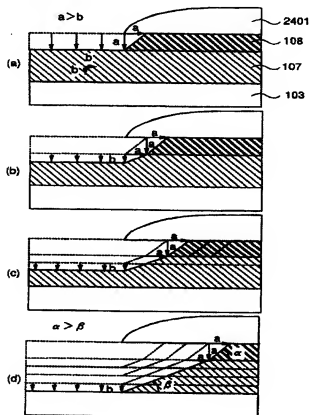
도면 24



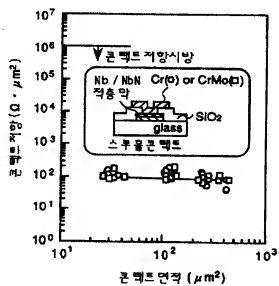
도면 25



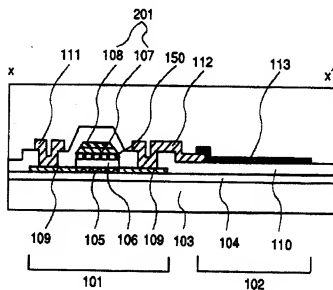
도면 26



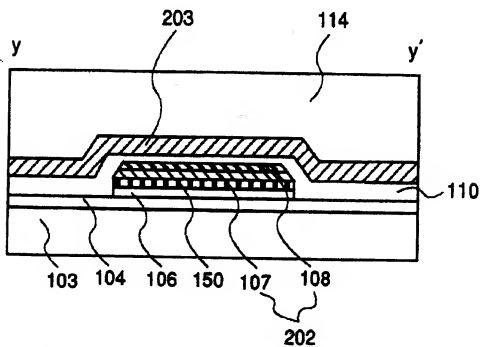
도면 27



도면 28



도면 29





(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 100486717 B1  
 (44)Date of publication of specification: 22.04.2005

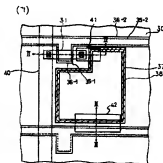
(21)Application number: 1019960040793  
 (22)Date of filing: 19.09.1996  
 (30)Priority: ..  
 (51)Int. Cl. G02F 1/136  
 G02F 1/1343

(71)Applicant: LG-PHILIPS LCD CO., LTD.  
 (72)Inventor: YEO, JU CHEON

(54) LCD DEVICE IN WHICH NUMBER OF MASKS AND LEAKAGE CURRENT AT OFF CONDITION ARE REDUCED, AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: An LCD(Liquid Crystal Display) device and a method for manufacturing the same are provided to reduce leakage current by weakening electric fields in a drain joint portion at an OFF condition. CONSTITUTION: An LCD device comprises a thin film transistor and a pixel electrode connected to the thin film transistor. The thin film transistor includes an insulation substrate(30); an active layer(31) formed on the insulation substrate; a gate insulation layer formed on the active layer; a first gate electrode(35-1) formed on the gate insulation layer so as to define a channel region on the active layer; a second gate electrode(36-1) formed on the first gate electrode and disposed such that the second gate electrode has a bottom surface wider than that of the first gate electrode and defines a leakage current control region formed at both sides of the channel region of the active layer; a source region and a drain region formed outside of the leakage current control region in the active layer; an interlayer insulation layer formed on the first and second gate electrodes and the exposed substrate such that the source region and the drain region are exposed; and a source electrode(40) connected to the source region and the drain electrode(41) connected to the drain region.



copyright KIPO 2006

## Legal Status

Date of request for an examination (20010719)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20050329)

Patent registration number (1004867170000)

Date of registration (20050422)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2004101002670)

Date of requesting trial against decision to refuse (20040617)

Date of extinction of right ( )

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl. G02F 1/136	(11) 공개번호 (43) 공개일자	특1998-021815 1998년06월25일
(21) 출원번호 (22) 출원일자	특1996-040793 1996년09월19일	
(71) 출원인	엘지전자 주식회사, 구자홍	
	대한민국 150-010	
(72) 발명자	서울특별시 영등포구 여의도동 20번지 여주천	
	대한민국	
(74) 대리인	서울특별시 관악구 신림2동 현대APT 110-209호 양순석	
(77) 심사청구	없음	
(54) 출원명	액정표시장치 및 그 제조방법	

## 요약

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 다결정실리콘 박막트랜지스터를 화소 스위칭 소자로 사용하는 액정표시장치에 있어서, 제조시 공정수를 줄이면서도 오프상태에서의 누설전류를 감소시킬 수 있는 박막트랜지스터 구조를 가지는 액정표시장치 및 그 제조방법에 관한 것이다. 이를 위한 본 발명의 액정표시장치는 복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는, 풀연기판과, 상기 풀연기판 상에 형성되는 활성층과, 상기 활성층상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정의하는 제1게이트전극과, 상기 제1게이트전극 상에 위치하고, 상기 제1게이트전극의 하면보다 넓은 하면을 가지도록 형성되어 상기 활성층의 채널영역의 양측에 누설전류 제어영역을 정의하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소오스영역 및 드레인영역과, 상기 제2게이트전극과 상기 제1게이트전극과 및 노출된 기판에 형성되며, 상기 소오스영역과 상기 드레인영역을 노출시키는 층간절연막과, 상기 소오스영역에 연결되는 소오스전극과 상기 드레인영역에 연결되는 드레인전극을 구비한다.

## 대표도

도3a

## 명세서

## [발명의 명칭]

액정표시장치 및 그 제조방법

## [도면의 간단한 설명]

제1도는 종래기술에 따른 액정표시장치의 평면도

제2도는 종래기술에 따른 액정표시장치의 제조공정도

제3도는 본 발명에 따른 액정표시장치의 제 1 실시예를 나타낸 도면

제4도는 제3도에 나타난 본 발명의 제조공정도

제5도는 본 발명에 따른 액정표시장치의 제 2 실시예를 나타낸 도면

제6도는 제5도에 나타난 본 발명의 제조공정도

제7도는 본 발명에 따른 액정표시장치의 제 3 실시예를 나타낸 도면

도면의 주요부분에 대한 부호의 설명

31. 활성층.

35-1. 제1게이트전극.

36-1. 제2게이트전극.

35-2. 제1주사선.

36-2. 제2주사선.

42. 제1스토리지 용량전극.

38a. 제1화소전극.

37. 제2화소전극.

40. 소오스전극 및 신호선.

41. 드레인전극.

32. 게이트절연막.

39. 층간절연막.

## [발명의 상세한 설명]

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 다결정실리콘 박막트랜지스터를 화소 스위칭 소자로 사용하는 액정표시장치에 있어서, 제조시 공정수를 줄이면서도 오프상태에서의 누설전류를 감소시킬 수 있는 박막트랜지스터 구조를 가지는 액정표시장치 및 그

제조방법에 관한 것이다.

다결정 실리콘은 일반적으로 박막트랜지스터 제조시 사용되는 비결정 실리콘에 비해 높은 캐리어 이동도를 가지고 있어서, 다결정 실리콘 박막트랜지스터를 채택할 경우 액정표시장치 패널 내부에 구동회로를 내장한 능동구동방식의 액정표시장치(AMLCD:Active Matrix Liquid Crystal Display device)를 용이하게 구현할 수 있는 장점을 가진다. 그러나, 화소 스위칭 소자로 다결정 실리콘 박막트랜지스터를 채택할 경우 오프상태에서 누설전류가 커서 화소의 신호전압을 제대로 유지할 수 없는 문제점이 있다. 그래서, 종래에 화소 스위칭 소자로써 소오스(drain)영역과 채널영역 사이에 오프셋(offset) 영역이나 엘디디(LED:Lightly Doped Drain) 영역을 갖는 박막트랜지스터 구조가 제안된 바 있다.

제1도는 종래 엘디디 영역을 가지는 박막트랜지스터를 화소 스위칭 소자로 하는 액정표시장치의 평면도이고, 제2도의 (가)-(나)는 제1도의 절단선 I-I에 의한 단면도로서, 제조방법을 설명하기 위한 제조단면도이다.

종래의 액정표시장치의 구조를 제1도 및 제2도의 (사)를 예로 들어 설명하면 먼저, 절연기판(10)위에 소오스/드레인영역(11-1)(11-2)과 채널영역(11-3) 및 엘디디영역(11-4)이 정의된 도상의 활성층(11)이 있고, 그 위에 게이트절연막(12)을 사이에 두고 게이트전극(13-1) 및 게이트버스라인(13-2)이 있다. 그리고, 그 위에 기판 전면에 걸쳐 층간절연막(15)이 있고, 층간절연막(15)과 게이트절연막(12)에 형성된 제1콘택(17)을 통하여 소오스영역(11-1) 및 드레인영역(11-2)과 연결되는 소오스전극 및 데이터버스라인(16)과 드레인전극(17)이 있다. 그 위에 보호막(18)이 있고, 보호막(18)에 형성된 제2콘택(17a)을 통하여 드레인전극(17)과 연결된 화소전극(19)이 기판 일부영역에 형성되어 있다.

이와 같은 종래의 액정표시장치를 제조하기 위해서는 먼저, 제2도의 (가)와 같이, 절연기판(10) 위에 도상의 활성층(11)을 형성한다.

다음으로, 제2도의 (나)와 같이, 활성층(11) 위에, 기판 전면에 걸쳐, 게이트절연막(12)을 형성한다. 이어서, 게이트절연막(12)위에 활성층(11)의 채널형성영역에 중첩되도록 게이트전극(13-1)을 형성한다.

다음으로, 제2도의 (다)와 같이, 게이트전극(13-1)을 마스크로 기판 전면에 낮은 도우층양으로 5가 이온을 주입하여 활성층(11)에 n-영역을 형성한다.

다음으로, 제2도의 (라)와 같이, 게이트전극(13-1) 양측 하부의 활성층(11)을 이온주입 마스크(14)로 가리고, 5가 이온을 높은 도우층양으로 주입하여, 활성층(11)상에 채널영역(11-3)을 중심으로 두 개의 엘디디영역(11-4)과, 소오스영역(11-1) 및 드레인영역(11-2)을 형성한다.

제2도의 (다)와 (라)의 공정은 n 채널 박막트랜지스터를 형성하기 위한 공정을 예로 든 것이고, 만약 p 채널 박막트랜지스터를 형성하기 위해서는 3가 이온을 주입한다.

다음으로, 제2도의 (마)와 같이, 이온주입 마스크를 제거한 후, 기판 전면에 층간절연막(15)을 형성하고, 소오스영역(11-1) 및 드레인영역(11-2) 상부의 게이트절연막(12)과 층간절연막(15)을 콘택 패터닝하여 제1콘택(17)들을 형성한다.

다음으로, 제2도의 (바)와 같이, 도전물질로 제1콘택(17) 내부에 충전되며 층간절연막(15) 상부의 일부에 형성되는 소오스전극 및 데이터버스라인(16)과, 드레인전극(17)을 형성한다.

다음으로, 제2도의 (사)와 같이, 소오스전극 및 데이터버스라인(16)과 드레인전극(17)이 형성된 기판 전면에 보호막(18)을 형성하고, 이를 콘택 패터닝하여 제 2 콘택(17a)을 형성한다. 이어서, 투영도열물질로 화소전극(19)을 형성하여, 액정표시장치를 제조한다.

이상과 같은 공정을 진행하여 제조되는 액정표시장치는 먼저, 엘디디영역이나 오프셋영역을 형성하기 위해서, 이온주입 공정시에 이온주입 마스크가 필요하다. 또한, 마스크 정렬 오차에 따라서, 엘디디영역 또는 오프셋영역의 길이가 달라질 수 있으며, 게이트전극과 화소전극을 형성하기 위하여 각각 1개씩의 패터닝 마스크가 필요하다. 그리고, 공정 전체적으로 2번의 콘택 패터닝을 필요하여 공정스텝(mask)이 많아지는 문제점을 가지고 있다.

본 발명은 공정 전체적으로 마스크 수를 줄일 수 있으면서도 오프 상태의 누설전류 감소효과를 가지는 다결정실리콘 박막트랜지스터를 화소 스위칭 소자로 사용하는 액정표시장치 및 그 제조방법을 제공하고자 하는 것이다.

이를 위하여 본 발명의 액정표시장치는 복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는, 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정의하는 제1게이트전극과, 상기 제1게이트전극상에 위치하고, 상기 제1게이트전극의 하면보다 낮은 하면을 가지도록 형성되어 상기 활성층에 채널영역의 양측에 누설전류 제어영역을 정의하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소오스영역 및 드레인영역과, 상기 제2게이트전극과 상기 제1게이트전극 및 노출된 기판에 형성되고, 상기 소오스영역과 상기 드레인영역을 노출시키는 층간절연막과, 상기 소오스영역에 연결되는 소오스전극과 상기 드레인영역에 연결되는 드레인전극을 구비한다.

또한, 본 발명은 박막트랜지스터부와 화소전극부를 구비하는 액정표시장치의 제조방법에 있어서, 절연기판 위에 반도체층을 적층한 후, 도상의 활성층을 형성하는 단계와, 상기 활성층 상에 노출된 상기 절연기판 전면에 걸쳐 제1콘택과 제2도전층을 차례로 적층하는 단계와, 상기 제2도전층을 사진식각하여 제1게이트전극과 상기 제1게이트전극에 연결되는 제1게이트버스라인을 형성하는 단계와, 상기 제1도전층을 사진식각하여 상기 제1게이트전극이 노출되게 하되, 활성층에 채널영역을 정의하는 제2게이트전극과 상기 제2게이트전극에 연결되는 제2게이트버스라인을 형성하는 단계와, 상기 제1게이트전극을 마스크로 상기 활성층에 이온주입 또는 이온도핑하여 상기 제1게이트전극의 외측영역에 해당하는 상기 활성층 부분에 소오스영역 및 드레인영역을 형성하고, 상기 채널영역과 상기 소오스영역 및 상기 드레인영역 사이에 누설전류 조절영역을 정의하는 단계와, 기판 전면에 걸쳐 제2절연막을 형성하는 단계와, 상기 제2절연막 및 상기 제1절연막을 사진식각하여 상기 활성층의 상기 소오스영역 및 드레인영역을 노출시키는 콘택홀들을 형성하는 단계와, 상기 콘택홀들의 내부 및 기판 전면에 제3도전층을 적층한 후, 패터닝하여 소오스전극과 상기 소오스전극에 연결되는 데이터버스라인과 드레인전극을 형성하는 단계를 포함하여 이루어진다.

이와 첨부된 도면을 참조하여 본 발명을 자세히 설명하면 다음과 같다.

제3도는 본 발명의 액정표시장치의 제 1 실시예를 예시한 단면으로, 제3도의 (가)는 한 화소를 중심으로 도시한 액정표시장치의 평면도이고, 제3도의 (나)는 절단선 II-II를 따라 절단한 박막트랜지스터 부분의 단면도이고, 제3도의 (다)는 절단선 III-III를 따라 절단한

스토리지 용량의 단면도이다.

먼저, 박막트랜지스터가 형성된 영역을 중심으로 설명하면 제3도의 (가) 및 제3도의 (나)와 같이, 유리기판(30)상에 도상의 활성층(31)이 형성되어 있고, 그 상부에 제1게이트전극(35-1), 제2게이트 전극(36-1)으로 이루어진 게이트전극이 게이트절연막(32)을 개재하여 형성되어 있다. 제1, 제2게이트전극(35-1)(36-1)에는 제1, 제2게이트버스라인(35-2)(36-2)이 일방향으로 연장형성되어 있다. 이 때, 제1게이트전극(35-1) 및 제1게이트버스라인(35-2)은 제2게이트전극(36-1) 및 제2게이트버스라인(36-2)보다 좁게 패터닝되어 게이트전극 및 게이트버스라인의 프로파일이나 막자형상을 가지도록 단차가 형성되어 있다. 따라서, 활성층상에 정의되는 채널영역(31-3)은 제1게이트전극(35-1)에 의해 결정되고, 소오스영역(31-1) 및 드레인영역(31-2)의 경계는 제2게이트전극(36-1)에 의하여 결정되며, 소오스영역(31-1)과 채널영역(31-3) 사이, 그리고 드레인영역(31-2)과 채널영역(31-3)사이에서 제1게이트전극(35-1)과 제2게이트전극(36-1) 사이의 단차값에 관련된 길이의 오프셋영역(31-4)이 정의된다. 제1게이트전극(35-1) 및 제2게이트전극(36-1)의 상부 및 측부는 충전절연막(39)에 의하여 둘러싸여 있고, 게이트절연막(32)의 노출된 표면상부에 충전절연막(39)이 형성되어 있다. 게이트절연막(32)과 충전절연막(39)에 형성된 콘택홀을 통하여 충전절연막(39) 상부에 형성된 소오스전극(40)은 활성층의 소오스영역(31-1)에 연결되어 있고, 소오스전극(40)과 분리되어 충전절연막(39) 상부에 형성된 드레인전극(41)은 활성층의 드레인영역(31-2)에 연결되어 있다.

(이미지)

다음으로, 화소전극부를 살펴보면, 게이트절연막(32)의 상부에 제1게이트전극(35-1)과 동일물질로 형성된 제1화소전극층(37)이 형성되어 있고, 제1화소전극층(37)의 외곽을 따라 일부영역이 증착되도록 상부에 제2 게이트전극(36-1)과 동일물질로 형성된 제2화소전극층(38a)이 있다.

이때, 제2화소전극층(38a)은 평면적으로 볼 때, 하부의 제1화소전극층(37)의 노출영역을 정의하도록 소정의 폭을 가지는 테두리와 같은 패턴을 가지고 있다. 그리고, 제2화소전극층(38a)의 외곽은 그 하부에 있는 제1화소전극층(37)의 가장자리보다 돌출된다. 한편, 물리적 방지 등의 목적으로, 스토리지 용량을 형성하는 경우, 스토리지 용량의 구조는 제3도의 (다)와 같이, 최하부에 게이트절연막(32)이 있고, 그 상부에 제1 스토리지 용량전극이 제1게이트버스라인으로, 제1게이트버스라인(35-2)과 그 상부에 넓은 제2게이트버스라인(35-2)이 형성되어 있다. 따라서, 제2게이트버스라인(36-2)의 일부영역이 제1스토리지 용량전극 역할을 한다. 그 상부에는 충전절연막(39)이 게이트절연막(32)을 덮도록 형성되어 있고, 충전절연막(39)을 사이에 두고, 화소전극부의 제1화소전극층(37)과 연결되어 연장된 제2스토리지 용량전극(42)이 제2게이트버스라인(36-2)과 일부영역에서 중첩되도록 형성되어 있다.

제4도의 (가)에서 제4도의 (바)는 본 발명에 따른 액정표시장치의 제조함에 있어서, 각 제조단계에서 박막트랜지스터 및 그 주위영역을 예시한 제조공정도이다.

먼저, 제4도의 (가)와 같이, 유리기판(30)위에 비정질 실리콘층 전면에 화학기상 증착방법을 이용하여 적층한 후, 사진식각공정을 이용하여 패턴식각하여, 유리 기판(30)상에 도상의 활성층(31)을 형성한다.

다음으로, 제4도의 (나)와 같이, 유리기판(30) 및 활성층(31)의 상부에 실리콘질화막 또는 실리콘산화막을 이용하여 단일 또는 이중구조의 게이트 절연막(32)을 형성하고, 산화인듐(ITO)등의 투명금속을 스퍼터방법으로 게이트절연막(32)위에 전면에 적층하여 제1 금속층(33)을 형성한다.

이어서, 그 상부에 통상 게이트전극으로 사용되는 크롬, 알루미늄 등을 스퍼터방법으로 적층하여 제2금속층(34)을 형성한다.

다음으로, 제4도의 (다)와 같이, 제2금속층을 사진식각공정으로 패턴식각하여 게이트버스라인과 게이트전극 및 화소전극 형성영역에만 남도록 하여, 제2게이트전극(36-1) 및 제2 화소전극층(38)을 형성한다. 이어서, 제1금속층을 제2게이트전극(36-1)을 마스크로 식각하여 제1게이트전극(35-1)을 형성한다. 이 때, 제2게이트 전극(36-1)보다 과도하게 식각하여, 제1 게이트전극(35-1)과 제2게이트전극(35-1)의 단면 프로파일이 단차가 있는 테이퍼 형상이 되도록 한다. 이러한 식각작업은 화소영역에도 실시되어 제2 화소전극층(38)을 마스크로 제1 화소전극층(37)을 형성하여 동일한 프로파일을 갖도록 한다.

다음으로, 제4도의 (라)와 같이, 제2게이트전극(36-1)을 마스크로 활성층(31)에 p형 또는 n형의 이온을 이온도핑 또는 이온주입방법으로 주입하면, 활성층(31)에 불순물(n형 이온 또는 p형 이온)이 도핑된 소오스영역(31-1)과 드레인영역(31-2)이 정의된다. 한편, 제2게이트전극(36-1)에 의하여 가려진 활성층도 도핑특성은 같으나, 공정 완료후, 통상식 서로 구별되는 두 영역이 정의되는데, 제1게이트전극(35-1)하부의 영역인 채널영역(31-3)과 채널영역(31-3)과 두 불순물 영역(31-1)(31-2)사이에서 각각 형성되는 누설전류 제어영역(31-4)이 정의된다. 다음으로, 제4도의 (마)와 같이, 실리콘질화막 또는 실리콘산화막을 노출된 전표면을 덮도록 화학기상증착방법으로 적층한 후, 화소전극영역 활성층(31)상의 소오스영역(31-1)과 드레인영역(31-2)에 실리콘산화막 또는 실리콘질화막을 제거하여 충전절연막(39)을 형성한다. 이 충전절연막(39)을 제2화소전극층(38)의 외곽영역 일부만 접촉하도록 형성한다. 이때 활성층(31)상의 소오스영역(31-1) 및 드레인영역(31-2) 상부의 게이트절연막(32)까지 제거하여 콘택홀(Ta)을 형성한다. 이어서, 화소전극부에 잔류된 충전절연막(39)을 마스크로 제2화소전극층(38)을 식각하여 제1화소전극층(37)의 표면을 드러내어 제1화소전극층(37) 외곽의 일부영역의 상부에만 사각홀로 남겨지는 제2화소전극층(38a)을 형성한다.

다음으로, 제4도의 (바)와 같이, 콘택홀 내부 및 노출된 전표면에 소오스/드레인전극 형성용 금속, 알루미늄 또는 크롬과 같은 저지향성 금속을 적층한 후, 패턴식각하여 소오스전극(40)과 드레인전극(41)을 형성한다. 이 때, 소오스전극(40)은 제3도의 (가)도에서 볼 수 있듯이, 하부에 게이트전극에 연결하여 형성된 게이트버스라인(35-2)과 교차하여 중첩하는 데이타버스라인과 함께 형성되고, 드레인전극(41)은 일단이 화소전극부의 제1화소전극층(37)과 접촉되도록 형성한다.

제5도의 (가)에서 제5도의 (라)는 액정표시장치의 제조방법에 있어서, 스토리지 용량이 형성되는 각 단계를 도시한 것이다.

먼저, 제5도의 (가)와 같이, 박막트랜지스터 영역에 활성층을 형성한 후, 유리기판(30)의 노출된 표면에 실리콘질화막 또는 실리콘산화막으로 이중 또는 단일 구조의 게이트절연막(32)을 형성한다. 이 후, 그 표면에 투명금속층을 스퍼터방법으로 제1금속층(33)을 형성하고, 그 상부에 알루미늄 또는 크롬을 스퍼터방법으로 제2금속층(34)을 형성한다.

다음으로, 제5도의 (나)와 같이, 제2금속층을 패턴식각하여 제2게이트버스라인(35-2)을 형성하고, 이를 마스크로 제1금속층을 식각하여 제1게이트버스라인(35-2)을 형성한다. 이 때, 제1금속층을 제2게이트버스라인(35-2) 하부까지 과도식각하여 단면 프로파일이 단차를 가지는 데이를 형상이 되도록 한다. 여기서 제1, 제2게이트버스라인(35-2)(36-2)은 제1스트리지 용량전극이 된다.

다음으로, 제5도의 (다)와 같이, 노출된 전 표면에 살리실화합물 또는 살리산화합물을 화학식 증착방법으로 적층하여 층간절연막(39)을 형성한다. 이어서, 화소전극부에 있는 층간절연막(39)을 선택적으로 제거한 후, 화소전극부의 층간절연막(39)을 마스크로 하여 제2화소전극층(38)을 제거하여 제1화소전극층(37)을 노출시킨다. 이시절 도면부호(38a)는 층간절연막을 마스크로 하여 사각화로 패턴식각된 제2화소전극층을 나타낸다.

다음으로, 제5도의 (라)와 같이, 층간절연막(39)의 상부에 소오스/드레인전극 형성용 금속물질을 스퍼터방법으로 적층한 후, 패턴식각하여 제2게이트버스라인(365-2)의 일부영역에서 중첩되게 화소전극부의 제1화소전극층(37)과 접촉연결되는 제2스트리지 용량전극(42)을 형성한다.

제5도의 (가)에서 제6도의 (나)는 본 발명에 따른 액정표시장치의 제 2 실시예로서, 제1게이트전극(35-1)과 제2게이트전극(36-1)의 단면 프로파일 및 제1화소전극층(37)과 제2화소전극층(38a)의 단면 프로파일이 단차가 없이 형성하고, 소오스전극(40) 및 드레인전극(41)과 분리되어 있으며, 제2게이트전극(36-1)의 상부에 층간절연막(39)을 개재하여 소오스/드레인 형성을 금속물질과 동일물질로 제 3 게이트전극(43)이 형성된 구조이다. 제3게이트전극(43)은 층간절연막(39)상에 제2게이트버스라인(36-2) 또는 제2게이트전극(36-1)을 노출시키는 콘택홀(Ta)이 형성되어 있어 이를 통하여 연결되도록 한 것이다. 이와 같은 구조의 액정표시 장치에서는 박막트랜지스터 영역의 활성층이 제5도의 구조와 같이, 제1게이트전극(35-1) 하부의 채널영역(31-3)과 그 양측으로 제3게이트전극(43)에만 중첩되게 정의되는 누설전류 제어영역(31-4)과 두 누설전류 제어영역(31-4)에 대하여 채널영역(31-3)의 반대편에 불순물이 도핑된 소오스영역(31-1) 및 드레인영역(31-2)이 정의되어 있다.

제6도의 (가) 및 제6도의 (나)에서 예시한 구조의 액정표시장치는 박막트랜지스터가 동작함에 있어서, 누설전류 제어영역(31-4)이 제3게이트전극(43)에 의하여 제어됨으로써, 오프상태에서의 누설전류를 용이하게 제어할 수 있다.

한편, 제6도의 (가) 및 제6도의 (나)에서 제시한 구조의 액정표시장치를 제조하는 방법을, 제4도의 (가)에서 제4도의 (바)를 참조하여 설명하면, 제4도의 (가) 및 제4도의 (나)에 예시한 공정을 진행한 후, 제4도의 (다)단계에서 제2게이트전극(36-1)을 형성한 후, 제1금속층을 동일 패턴으로 식각하여 제1게이트전극(35-1)을 형성한다. 이때, 화소전극부의 제1화소전극층(37)과 제2화소전극층(38)은 두 층의 외곽면 사이에 단차가 없도록 형성한다.

다음으로, 제4도의 (라)단계에서, 이온주입시, 제1, 제2게이트전극(35-1)(36-1)의 양측면에 소정두께의 이온주입 마스크를 형성한 후, 이온 주입하여 소오스영역(31-1)과 드레인영역(31-2)과 두 누설전류제어영역(31-4) 및 채널영역(31-3)을 정의하고, 이온주입 마스크를 제거한다. 이 때, 이온주입 마스크의 성질에 따라서, 제거공정을 별도로 진행하지 않을 수도 있다.

다음으로, 제4도의 (마)에 예시한 단계에서, 소오스영역(31-1) 및 드레인 영역(31-2)의 층간절연막을 패터닝하면서 동시에 화소전극부의 화소전극층(38)의 일부영역을 노출시킨다. 이후, 층간절연막을 마스크로 하여 노출된 제2화소전극층을 사선식각함으로써 제1화소전극층을 노출시킨다.

다음으로, 제4도의 (바)에 예시한 단계에서, 소오스전극(40)과 드레인 전극(41)을 형성시키면서, 제2게이트전극 상부 및 활성층에 정의된 누설전류제어영역(31-4)과 중첩되는 영역에도 소오스/드레인전극형성을 금속층을 남도록 하여, 제3게이트전극(43)을 형성한다.

이상의 본 명세서에서는 투과형 액정표시장치 및 그 제조방법에 국한하여 설명하였으나, 제7도의 (가) 및 제7도의 (나)는 본 발명의 액정표시장치 및 제조방법의 기술적 사상을 반사형 액정표시장치 및 제조방법에 적용한 실시예를 설명하기 위하여 예시한 평면도 및 단면도이다.

제7도의 (가) 및 (나)와 같이, 최하부에 활성층(51)을 가지고, 게이트절연막을 개재하여 크롬 또는 알루미늄과 같은 반사성이 좋은 금속으로 게이트전극(55-1) 및 화소전극(56)이 형성되어 있고, 그 상부에 콘택홀(Ta)을 가지는 층간절연막(57)을 개재하여 소오스전극(58) 및 드레인전극(59)이 형성된 구조로서, 드레인전극(59)은 게이트전극(55-1)과 동일물질로 동일층에 형성된 화소전극(56)과 연결된 구조를 가지고 있다.

이와 같은 본 발명의 기술적 사상을 적용한 반사형 액정표시장치를 제조하는 방법을 설명한다 다음과 같다.

먼저, 유리기판(50) 위에 활성층(51)을 형성한 후, 활성층(51) 및 유리기판(50)의 노출된 전표면에 게이트절연막(52)을 형성한다. 이어서, 게이트절연막(52)의 상부에 반사성이 좋은 금속물질을 적층한 후 패턴식각하여 게이트전극(55-1) 및 게이트버스라인(55-2)과 화소전극(55)을 형성한다. 이후, 게이트전극(55-1)을 마스크하여 활성층(51)에 이온주입을 실시하여 활성층(51)에 소오스/드레인영역(51-1)(51-2)과 누설전류 제어영역(51-4)과 채널영역(51-3)을 정의한다. 이후, 상부에 층간절연막(57)을 형성한 다음, 층간절연막(57)에 소오스/드레인영역 상부의 콘택홀(Ta)들을 형성시키고 동시에 화소전극(55)상부를 노출시킨다. 이후, 콘택을 내부 및 노출된 전 표면에 소오스/드레인전극 형성용 금속물질을 적층한 후, 패턴식각하여 소오스전극(58)과 드레인전극(59)을 형성한다. 이 때, 드레인전극(59)은 화소전극(56)의 일부와 겹쳐지도록 형성한다.

본 발명의 액정표시장치는 박막트랜지스터에 있어서, 제1게이트전극이 과도식각되어 단차를 가지므로 하면에 노출되는 제2게이트전극과 중첩되는 활성층에 대해서는 게이트절연막의 두께가 두꺼워진 것과 같은 효과를 내게 되어서 오프상태에서의 드레인 접합부분의 전계를 약하게 하여 누설전류를 감소시킨다. 또한, 화소전극부에서 외곽부에 남은 제2화소전극층은 빛을 투과시키지 않으므로 부분적으로 매트릭스 역할을 할 수 있다.

또한 본 발명의 액정표시장치에 있어서, 적은 공정step을 사용하여 액정표시장치를 사용할 수 있고 이와 더불어 낮은 누설전류를 가지는 액정표시장치를 제작할 수 있다.

## (57) 청구의 범위

## 청구항 1.

복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 상기 박막트랜지스터는 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 형성되어 상기 활성층에 채널영역을 정의하는 제1게이트전극과, 상기 제1게이트전극 상에 위치하고, 상기 제1게이트전극의 하면보다 낮은 하면을 가지도록 형성되어 상기 활성층의 채널영역의 양측에 누설전류 제어영역을 정의하는 제2게이트전극과, 상기 활성층 내의 상기 누설전류 제어영역의 외측에 형성되는 소오스영역 및 드레인영역과, 상기 제2게이트전극과 상기 제1게이트전극 및 노출된 기판에 형성되고, 상기 소오스영역과 상기 드레인영역을 노출시키는 층간절연막과, 상기 소오스영역에 연결되는 소오스전극과 상기 드레인영역에 연결되는 드레인전극을 구비하는 액정표시장치.

## 청구항 2.

제1항에 있어서, 상기 제1게이트전극은 산화인듐(ITO)과 같은 투명도전물질로 형성된 것이 특징인 액정표시장치.

## 청구항 3.

제1항에 있어서, 상기 제2게이트전극은 알루미늄(Al), 크롬(Cr), 티타늄실리사이드(TiSix) 또는 몰리브덴실리사이드(MoSix)와 같은 금속물질로 형성된 것이 특징인 액정표시장치.

## 청구항 4.

제2항 또는, 제3항에 있어서, 상기 화소전극은 상기 박막트랜지스터의 드레인전극에 연결되고, 상기 절연기판 위에 형성된 게이트절연막 상에 상기 제1게이트전극과 같은 물질로 형성된 제1 화소전극층과, 상기 제1화소전극층의 외곽 일부영역과 중첩되도록 상기 제2게이트전극과 동일 물질로 형성된 제2화소전극층을 구비하는 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제4항에 있어서, 상기 제1, 제2게이트전극과 동일 구조로 연장형성된 제1, 제2게이트버스라인의 일부 영역을 제1스토리지 용량전극으로 하고, 상기 층간절연막 사이에 두고 상기 제1스토리지 용량전극과 일부 중첩되며, 상기 제1화소전극층과 연장형성된 제2스토리지 용량전극을 구비하는 스토리지 용량을 가지는 것이 특징인 액정표시장치.

## 청구항 6.

제1항에 있어서, 상기 제2게이트전극은 상기 제1게이트전극과 같은 형상으로 형성되고, 상기 층간절연막 상에 위치하여 상기 반도체층의 채널영역과 상기 소오스/드레인 영역 사이에 누설전류 제어영역을 정의하도록 형성되고, 상기 제2게이트전극과 상기 층간절연막에 형성된 콘택홀을 통하여 상기 제2게이트전극에 연결된 제2게이트버스라인에 연결되는 보조게이트전극을 가지는 것을 특징으로 하는 액정표시장치.

## 청구항 7.

제6항에 있어서, 상기 보조게이트전극이 상기 소오스전극 및 상기 드레인전극의 동일배선재로 형성된 것이 특징인 액정표시장치.

## 청구항 8.

복수개의 화소 각각에 복수개의 스위칭 소자인 박막트랜지스터와 상기 박막트랜지스터에 연결되는 복수개의 화소전극을 구비하는 액정표시장치에 있어서, 절연기판과, 상기 절연기판 상에 형성되는 활성층과, 상기 활성층 상에 형성되는 게이트절연막과, 상기 게이트절연막의 소정의 위치에 반사도가 높은 물질로 형성되어 상기 활성층에 채널영역을 정의하는 게이트전극과, 상기 활성층의 양측에 형성되는 소오스영역 및 드레인영역과, 상기 활성층에 위치하고, 상기 소오스영역과 상기 채널영역 사이 및 상기 드레인영역과 상기 채널영역 사이에 정의되는 누설전류 제어영역과, 상기 게이트전극과 노출된 기판에 형성되고, 상기 소오스영역과 상기 드레인영역을 노출시키는 층간절연막과, 상기 소오스영역에 연결되는 소오스전극과 상기 드레인영역에 연결되는 드레인전극과, 상기 박막트랜지스터의 드레인전극에 연결되고, 상기 게이트절연막 상에 상기 게이트전극과 같은 물질로 형성되는 화소전극을 포함하여 이루어지는 액정표시장치.

## 청구항 9.

박막트랜지스터부와 화소전극부를 구비하는 액정표시장치의 제조방법에 있어서,

- 1) 절연기판 위에 반도체층을 적용한 후, 도상의 활성층을 형성하는 단계,
- 2) 상기 활성층 및 노출된 상기 절연기판 전면에 걸쳐 제1절연막과 제1도전층과 제2도전층을 차례로 적층하는 단계와,
- 3) 상기 제2도전층을 사진식각하여 제1게이트전극과 상기 제1게이트전극에 연장되는 제1게이트버스라인을 형성하는 단계와,
- 4) 상기 제1도전층을 사진식각하여 상기 제1게이트전극이 노출되게하고, 활성층에 채널영역을 정의하는 제2게이트전극과 상기 제2게이트전극에 연장되는 제2게이트버스라인을 형성하는 단계와,
- 5) 상기 제1게이트전극을 마스크로 상기 활성층에 이온주입 또는 이온도핑하여 상기 제1게이트전극의 외측영역에 해당하는 상기 활성층 부분에 소오스영역 및 드레인영역을 형성하고, 상기 채널영역과 상기 소오스영역 및 상기 드레인영역 사이에 누설전류 조절영역을 정의하는 단계와,
- 6) 기판 전면에 걸쳐 제2절연막을 형성하는 단계와,
- 7) 상기 제2절연막 및 상기 제1절연막을 사진식각하여 상기 활성층의 상기 소오스영역 및 드레인영역을 노출시키는 콘택홀들을 형성하는

단계와,

8) 상기 콘택층들의 내부 및 기판 전면에 제3도전층을 적층한 후, 패터닝하여 소오스전극과 상기 소오스전극에 연결되는 데이터버스라인과 드레인전극을 형성하는 단계를 포함하여 이루어지는 액정표시장치의 제조방법.

청구항 10.

제9항에 있어서, 1)단계에서, 상기 활성층은 비정질 실리콘을 화학기상 증착방법으로 적층한 후, 열처리 또는 레이저 어닐링하여 활성화한 후, 상기 활성층을 형성하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제9항에 있어서, 상기 제1도전층은 산화인듐(ITO)과 같은 투명도전물질로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 12.

제9항에 있어서, 상기 제2도전층은 알루미늄(Al), 크롬(Cr), 티타늄실리사이드(TiSi<sub>x</sub>), 몰리브덴실리사이드(MoSi<sub>x</sub>) 또는 도우핑된 다결정 실리콘(doped polySi) 등의 도전물질중 하나로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 13.

제9항에 있어서, 상기 화소전극부에는 상기 제2도전층과 상기 제1도전층의 일부를 잔류시키는 단계와, 상기 활성층의 상기 소오스영역 및 드레인영역을 노출시키는 콘택홀을 형성시, 상기 제1 절연막과 상기 잔류된 제2도전층을 사진식각하여 상기 제1 도전층을 노출시키는 단계와, 상기 드레인전극을 형성할때, 상기 드레인전극이 노출된 상기 제1도전층에 연결하는 단계를 포함하여 이루어지는 액정표시장치의 제조방법.

청구항 14.

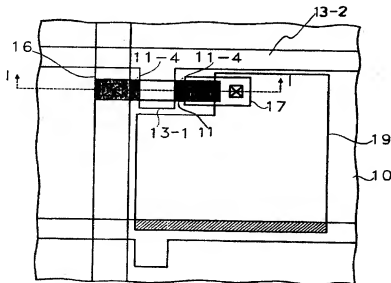
제9항에 있어서, 상기 제3도전층을 식각하는 과정에서, 상기 게이트버스라인에 상기 제2절연막을 사이에 두고 중첩되게 하여 상기 게이트버스라인을 제1스토리지 용량전극으로 하는 제2스토리지 용량전극을 형성하는 단계를 포함하는 것이 특징인 액정표시장치의 제조방법.

청구항 15.

제9항에 있어서, 상기 제2게이트전극을 상기 제1게이트전극과 동일한 형상으로 형성하여 상기 활성층에 채널영역을 정의하고, 상기 제2절연막 상에 상기 제3도전층을 사진식각하되, 상기 제1게이트버스라인에 연결되게 형성하여 상기 활성층에 전류누설 조절영역을 정의하는 보조게이트전극을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

도면 1



도면 2a

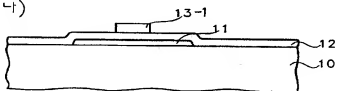


(가)



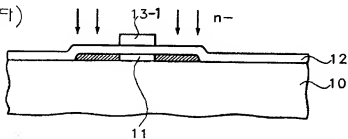
도면 2b

(나)



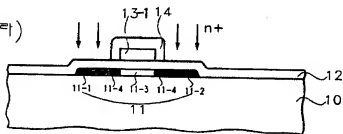
도면 2c

(다)



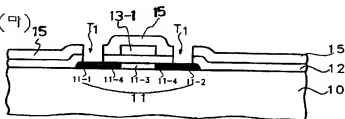
도면 2d

(라)



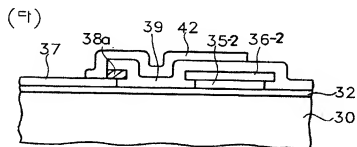
도면 2e

(마)

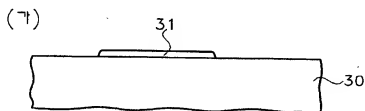


도면 2f

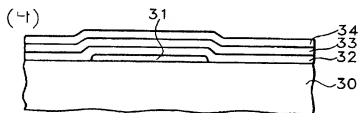




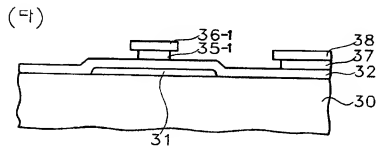
도면 4a



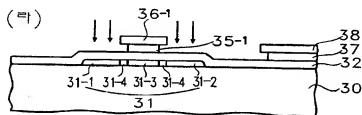
도면 4b



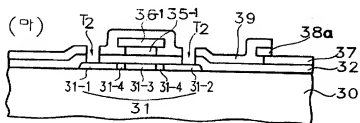
도면 4c



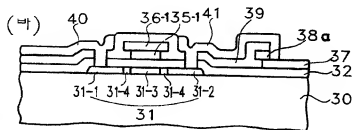
도면 4d



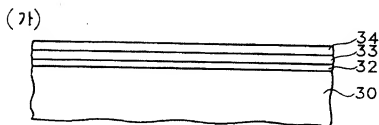
도면 4e



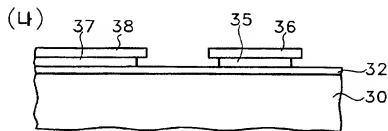
도면 4f



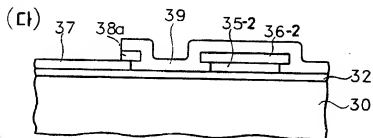
도면 5a



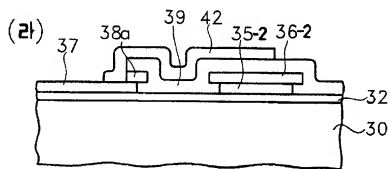
도면 5b



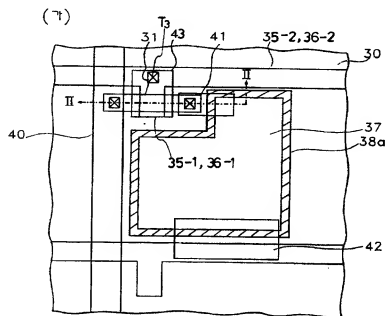
도면 5c



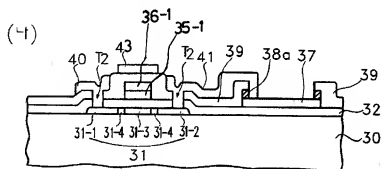
도면 5d



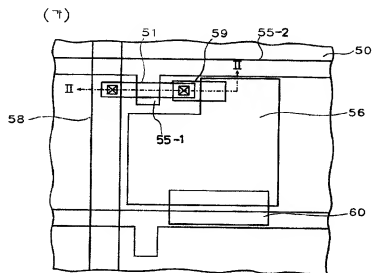
도면 6a



도면 6b



도면 7a



도면 7b

